

# PSI-3452- Projeto de Circuitos Integrados Digitais e Analógicos

## Projeto Final: Contador Simples baseado em Células-Padrão

(Obs. Leia esta especificação antes de iniciar as parciais do projeto)

### 1 – Objetivo

- 1) Implementação de uma Porta NAND2 (do Lab 4) em formato célula-padrão;
- 2) Caracterização simplificada, em termos de tempos de atraso, da seguintes células-padrão pré-existentes: XNOR, inversor e porta de transmissão;
- 3) Implementação de um Flip-flop, controlado por sinal de relógio e sensível à borda, a partir de células-padrão;
- 4) Implementação e avaliação de um Contador simples usando células padrão.

### 2 – O registrador sensível a nível e o flip-flop sensível à borda.

Uma configuração tradicional de **circuito flip-flop** sensível à borda, realizada a partir de dois registradores sensíveis a nível, é mostrada na Figura 1, sendo o primeiro denominada mestre, e o segundo, escravo. Perceba pelo primeiro registrador mestre que ele é sensível a nível enquanto  $\Phi$  está em '1' ( $\bar{\Phi}$  está em '0') e a saída lê a entrada D invertida. Quando  $\Phi$  está em '0' ( $\bar{\Phi}$  em '1'), os transistores do mestre estão cortados, o nó de entrada do inversor do registrador escravo recebe o nível da saída do estágio anterior, transferindo para a sua saída Q (reinvertendo o valor), assumindo o valor de D.

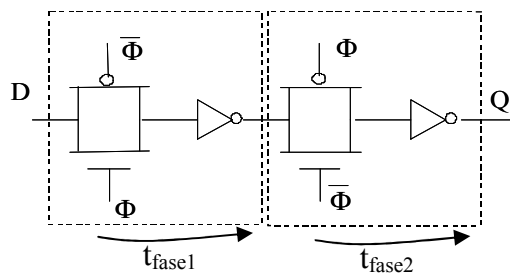


Figura 1. Flip-flop baseado em porta de transmissão

Na figura acima,  $\Phi$  corresponde ao sinal de relógio em um esquema de uma fase. É possível também que o mestre e escravo sejam controlados por sinais independentes,  $\Phi_1$  e  $\Phi_2$ , em um esquema de dupla fase, porém, neste caso, os sinais devem apresentar o valor '1' sem sobreposição.

### 3 – Um circuito contador simples

O circuito contador, mostrado na figura à direita, possui as seguintes características:

- 1) É um contador crescente e rotativo, de  $Z1Z2='00'$  a  $Z1Z2='11'$ .
- 2) Há o sinal Set&Enable que, quando igual a '0', força as entradas dos FFs para o valor '1'. Quando Set&Enable='1', o contador vai para a sua operação de contagem.

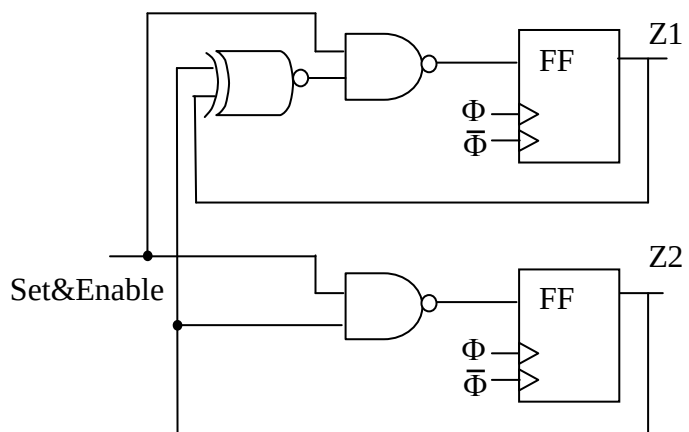


Figura2. Contador

#### 4 – Frequência de operação

A frequência de operação do contador é determinado pelo do pior tempo de atraso no circuito (caminho crítico) a partir dos tempos máximos de atraso de cada um dos componentes. Assumindo que o ciclo de relógio que usaremos terá a fase '1' com a mesma duração que '2', deve-se, então, descobrir os tempos limites de cada meio-ciclo do relógio.

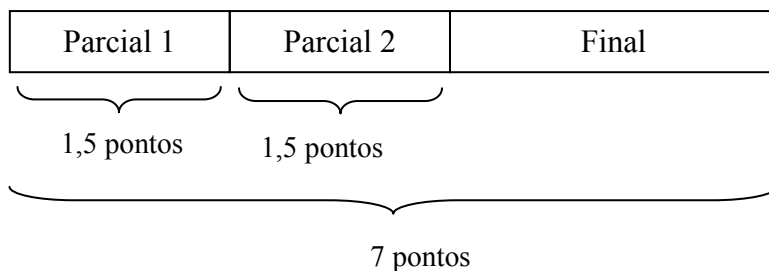
Pode-se observar, com auxílio da Figura1, que a duração do meio-ciclo "mestre" ( $\Phi= '1'$ ) é determinada basicamente por  $t_{fase1}$  enquanto a do meio-ciclo "escravo" ( $\Phi= '0'$ ) é determinada pela soma de  $t_{fase2}$  e os tempos de atraso de todos os componentes no caminho até o dado computado retornar à entrada do FF.

#### 4 – Artefatos a entregar e avaliação

O projeto está planejado para ser feita em três etapas:

- 1) Parcial 1: da aula 13 até a aula seguinte
- 2) Parcial 2: da aula 14 até a aula seguinte
- 3) Final: da aula 15 até a data de entrega final

Cada etapa será avaliada em separado com as suas notas totalizando 10, como indicado na figura abaixo:



Para as etapas Parcial 1 e Parcial2, o(a) aluno(a) deverá entregar resultados específicos correspondentes, demonstrando o atendimento das especificações da etapa.

Na entrega Final, um relatório completo, incluindo os dados e comprovações de todas as fases, deverá ser entregue. Deverá ser apresentado uma documentação evidenciando a implementação da partes e de todo o circuito, além das explicações e justificativas necessárias; para o relatório não ficar grande desnecessariamente, deve-se excluir as informações pouco relevantes.