

Escola Politécnica da Universidade de São Paulo  
**Departamento de Engenharia de Sistemas Eletrônicos - PSI**

**PSI-3452- Projeto de Circuitos Integrados Digitais e Analógicos**

**Lab 5: Projeto Eletrônico e Leiaute de um  
Amplificador Analógico (2017)**

# 1 – Objetivos

Desenvolver o projeto de um amplificador analógico simples. Entender o seu funcionamento e os passos que conduzem às dimensões de seus componentes. Realizar as simulações iniciais do projeto verificando a sua correção. Desenhar o leiaute deste amplificador com aplicação de técnicas específicas para circuitos analógicos, realizar a extração do circuito elétrico e simulação do mesmo. Comparar as previsões teóricas com as simulações pré e pós leiaute.

## 2 – Introdução Teórica

### 2.1. CMOS misturado (ou misto)

Um dos principais desenvolvimentos na integração dos atuais sistemas eletrônicos foi o CMOS em modo misturado ou misto (*mixed mode CMOS*). O CMOS misturado significa que numa única peça de silício (único *chip*) são implementados tanto a parte digital como a analógica de um sistema. Isto faz com que sistemas inteiros caibam em pequenos volumes como os atuais smartphones, os tablets, entre outros. Normalmente a parte analógica é a que cuida da comunicação entre diferentes pontos, operando em altas frequências (Giga Hertz). Motivado pelos sistemas misturados, este texto abordará alguns aspectos da implementação de circuitos analógicos. Por circuito analógico entendemos, neste contexto, um circuito que faz o tratamento do sinal antes de ele ser digitalizado e processado na parte digital.

### 2.2. Alguns aspectos do leiaute analógico

Enquanto as regras de projeto adotadas nos processos CMOS, de forma geral, objetivam a maximização do rendimento (*yield*) na fabricação dos circuitos integrados, o projeto analógico exige precauções particulares na preparação do leiaute para a minimização de efeitos de crosstalk, descasamentos e ruídos.

#### 2.2.1. Leiaute para mitigação de ruído térmico

Ruído pode reduzir ou aumentar o valor de um sinal tornando-se ser um fenômeno bastante deletério para o circuito no seu propósito de realização de algum processamento de qualidade. Ruídos devem ser tratados estatisticamente, uma vez que as suas amplitudes no tempo não são determinísticas; em geral, aspectos mais estáveis como a potência média, por exemplo, são utilizados para o estudo da influência de ruídos sobre o comportamento dos sistemas. Circuitos integrados, particularmente os analógicos, apresentam estruturas que geram ruídos do tipo térmico (*thermal*) e de contato (*flicker*). Este texto restringir-se-á ao primeiro, uma vez que pode ele ser melhor controlado pelo projetista. Este lab **não** objetiva tratar dos efeitos comportamentais do ruído nos CIs, **mas, apenas**, da aplicação das técnicas de leiaute que os mitigam.

O ruído térmico tem características de ruído branco, com o seu espectro de ruído com valor constante para grande parte das frequências- há redução apenas para frequências acima de 100 THz. O ruído térmico está presente nos resistores e transistores, resultado da movimentação aleatória do elétrons, causando flutuações na voltagem vista nos dispositivos. Como o nome indica, é diretamente influenciado pela temperatura. Em resistores, o ruído térmico pode ser modelado como uma fonte de tensão em série, como na Figura 1, com a densidade espectral dada por:

$$S_v(f) = \overline{v_n^2} = 4kTR, \quad f \geq 0, \quad (\text{eq. 1})$$

onde  $T$  é a temperatura em  $^{\circ}\text{K}$ ,  $R$  a resistência e  $k = 1,38 \times 10^{-23} \text{ J/K}$  é a constante de Boltzmann. Pode-se observar que a redução da resistência implica na redução do ruído (e também da área, uma vez que resistores são grande consumidores de área). Portanto, dentro de um leiaute, é desejável reduzir o comprimento de um resistor (dentro dos parâmetros do projeto).

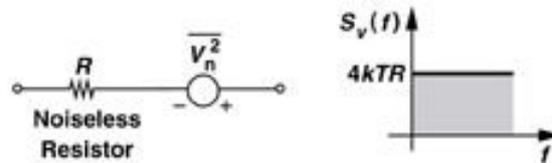


Figura 1. Fonte de tensão de ruído em série ao resistor que o gera, com a sua densidade espectral

Transistores, por seu lado, geram ruído de duas formas: pelo canal e pelas seções Ohmicas (resistências de fonte, dreno e porta). O ruído de canal pode ser modelado por uma fonte de corrente conectada aos terminais de fonte e dreno, como mostrado na Figura 2, com a densidade espectral dada por:

$$\overline{i_n^2} = 4kT\gamma g_m, \quad (\text{eq. 2})$$

onde  $\gamma$  é um parâmetro experimental que varia de 0,66 (canal longo) a 3 (canal curto) e  $g_m$  é a transcondutância. Pode-se observar que a redução da transcondutância implica na redução do ruído. A transcondutância está diretamente relacionado a  $W/L$  do transistor, portanto, é desejável adotar-se uma largura de canal o menor possível (dentro dos parâmetros do projeto).

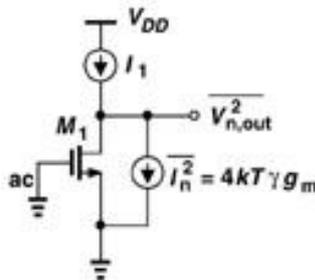


Figura 2. Fonte de corrente para a modelagem de ruído térmico de canal

Infelizmente, como veremos no projeto de um amplificador, nem sempre é possível que o transistor seja estreito (ou que o resistor seja curto, como discutido anteriormente), o que corroboraria com a geração do ruído térmico devido às seções Ohmicas. A Figura 3 ilustra o problema através do leiaute de um transistor largo, com as resistências das trilhas gerando ruído. Felizmente, dada a baixa resistência das trilhas de metal do dreno e fonte,  $R_D$  e  $R_S$  tornam-se irrelevantes (ver eq. 1). O mesmo não pode ser dito da resistência de porta,  $R_G$ , uma vez que o silício-poli apresenta uma resistência de folha relativamente maior.

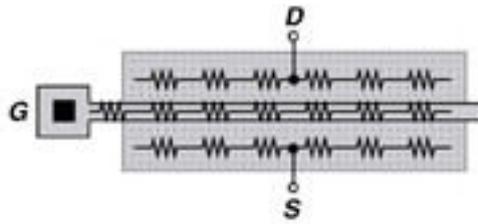


Figura 3. Leiaute de transistor evidenciando as seções Ohmicas.

Deve-se atentar para o fato de que a resistência  $R_G$  que está em jogo, portanto é uma resistência proporcional pelo comprimento da linha de silício-poli. Um belo "truque" para a redução de  $R_G$ , portanto a redução do ruído térmico relacionado às resistências, é paralelizar transistores, dobrando (ou enrolando) o transistor largo em vários transistores menores. Tal técnica é ilustrada na Figura 4, onde um transistor original é enrolado em forma de dois (Figura 4.a) ou em quatro (Figura 4.b) transistores em paralelo. O efeito na redução da resistência é dupla: 1) a resistência  $R_{G1,..}$ ,  $R_{Gn}$  de cada umas das  $n$  subseções será a  $R_G/n$ , uma vez que é proporcional ao comprimento; 2) o valor da resistência paralela será valor de cada subseção dividido por  $n$ .

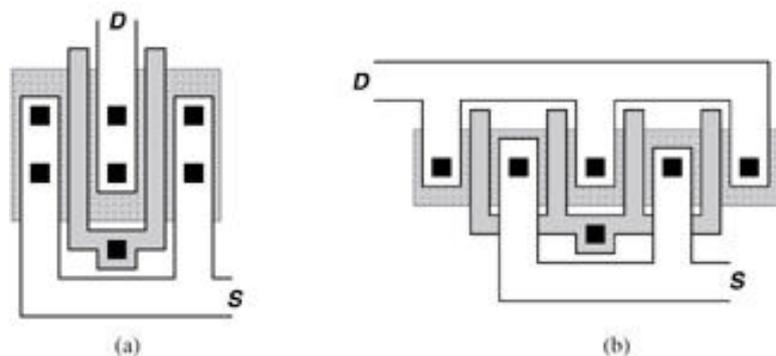


Figura 4. Transistores enrolados: (a) dois em paralelo; (b) quatro em paralelo

### 2.2.2. Casamento e descasamento entre transistores

Em circuitos totalmente diferenciais (como é o caso de amplificadores diferenciais que projetaremos neste lab), é necessário que os transistores estejam totalmente casados, ou seja, do ponto de vista de leiaute, que exista uma simetria na construção dos transistores; caso contrário, *offsets* devido a desvios de sinais de entrada serão introduzidos, dificultando a detecção das diferenças (o sinal diferencial).

Projetos assimétricos devem se evitado em circuitos diferenciais, particularmente o uso de transistores com orientações diferentes (horizontal e vertical). As Figuras 5.a e 5.b apresentam casos de simetria que deveriam ser observados pelo projetista. Apesar desta aparente simetria em ambos os casos citados, infelizmente, há alguns efeitos sutis que se apresentam devido a desvios no processamento tecnológico. A Figura 6 ilustra tal situação; observe-se que pode haver um pequeno ângulo de inclinação na implantação iônica, que dependendo da direção, acaba provocando uma diferença na difusão lateral entre o dreno e fonte. Desta forma, podemos observar que o leiaute da Figura 5.a é resistente aos efeitos de inclinação, com uma simetria total entre os dois transistores. Já o caso da Figura 5.b apresenta uma assimetria, uma vez que, aquilo que o transistor da esquerda "enxerga" à sua fonte e dreno é diferente do que o transistor da direita "enxerga" pelo seu dreno e fonte, respectivamente. Fica constatado que a simetria implica não só em geometrias iguais, mas também na igualdade dos ambientes que rodeiam os transistores.

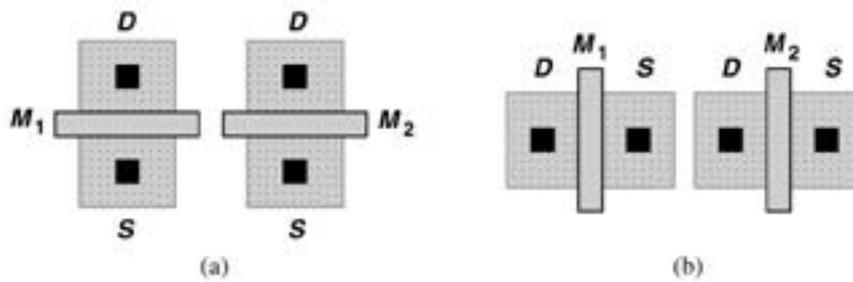


Figura 5. Orientações simétricas: (a) eixos D-S paralelos; (b) eixos G paralelos

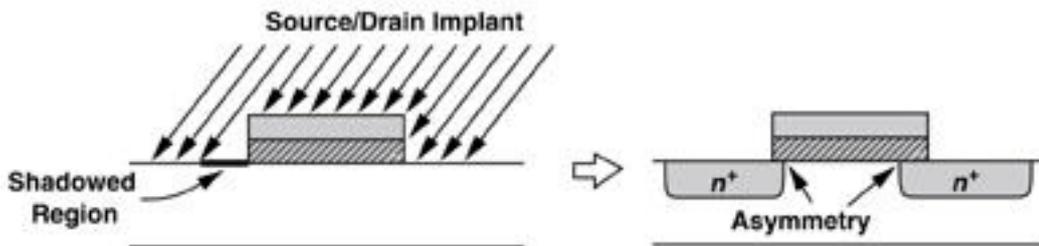


Figura 6. Inclinação na implantação iônica gerando assimetrias

### 2.2.3. Leiaute de transistores largos

Quando transistores largos são necessários, a técnica de enrolamento em transistores menores e paralelos torna-se uma solução preferível como forma de reduzir ruído. Há uma outra razão prática para adotar-se tal técnica, uma vez que a razão de aspecto torna-se mais adequado. Se a quantidade de dedos ou pernas (fingers ou legs, todos são nomes dados às subseções de transistores em paralelo) é grande, a cadeia de transistores torna-se longa e, novamente, a razão de aspecto fica alongado como é ilustrado pelos 4 blocos de transistores em cadeia da Figura 7 (veja que são altos). Cada destes dois blocos estão espelhados entre si, e seus drenos, fontes e portas são conectados formando os dois grandes transistores simétricos da figura. Tal simetria é imune à inclinação da implantação iônica, como discutido na seção anterior, e permite que os transistores sejam utilizados em circuitos diferenciais.

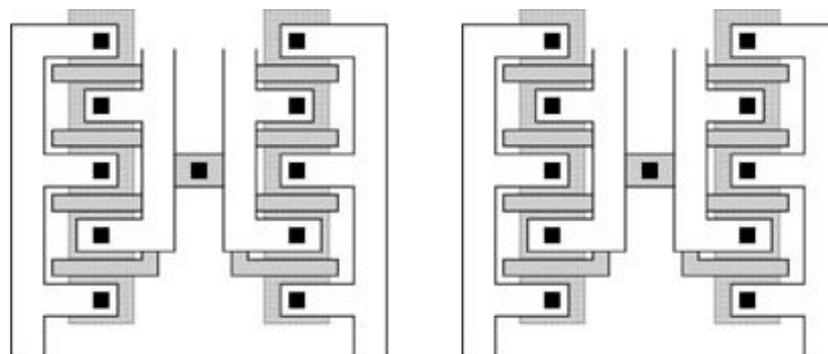


Figura 7. Dois transistores casados (com espelhamento) e resistentes à inclinação da implantação

### 2.3. O amplificador diferencial

O bloco a ser estudado neste texto é o amplificador, onde o elemento ativo a ser usado é o transistor MOS. Este transistor, quando devidamente polarizado, recebe em sua porta o sinal de entrada e gera em seu dreno uma corrente dependente deste sinal de entrada. Tal corrente é captada por uma carga que é acionada pelo dreno e, quando se tem valores convenientes, a amplificação ocorre. A figura 8 mostra um transistor que aciona esta impedância em seu dreno.

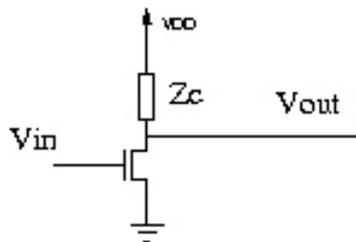


Figura 8 – Uma ligação simples para que o transistor funcione como amplificador.

Na figura 9 é mostrado o modelo de pequenos sinais do circuito anterior. Supõe-se que o transistor esteja devidamente polarizado, ou seja,  $V_{in}$  tenha um componente DC, o qual coloca o transistor em saturação; o componente AC, de seu lado, é aquele que será amplificado.

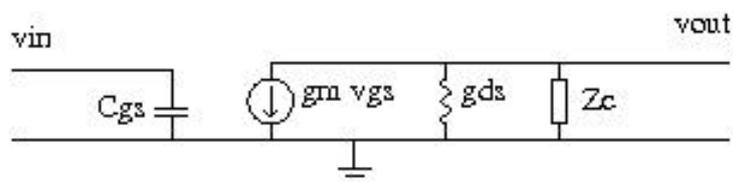


Figura 9 – modelo de pequenos sinais

No caso, supondo-se que a impedância  $Z_c$  seja bem menor que a impedância de saída do transistor ( $1/g_{ds}$ ), temos:

$$\text{ganho} = \frac{v_{out}}{v_{in}} = g_m Z_c$$

O circuito a ser adotado nesta experiência, que terá um funcionamento bastante próximo ao das figuras 8 e 9, é mostrado na figura 10.

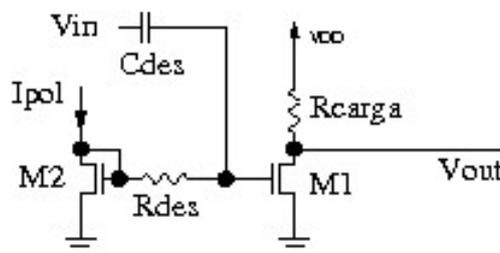


Figura 10 – circuito a ser implementado.

M1 e M2 são transistores idênticos que formam um espelho de corrente, onde  $I_{pol}$  será a corrente de polarização que passa pelo transistor M2. Esta corrente será refletida em M1, colocando-o em condição de polarização. Este tipo de polarização suporta variações de tensão de limiar,  $V_{th}$ , que ocorrem devido à variação de processo ou temperatura. A corrente  $I_{pol}$  é feita de forma a ser sempre constante, independente de parâmetros tais como  $V_{th}$ , temperatura, etc. Isto faz com que a corrente em M1, que determinará o ganho do circuito, seja também constante. Na análise DC, o capacitor  $C_{des}$  será visto um circuito aberto e o  $R_{des}$  transmite o mesmo potencial para as duas portas dos transistores M1 e M2. Como estes transistores devem estar em saturação, tendo-se a mesma tensão de polarização DC aplicada à porta, as suas correntes de dreno devem ser a mesma (em uma análise simplificada). Daí o circuito ser denominado espelho de corrente.

Na análise AC, o sinal de entrada  $V_{in}$  deve ser injetado na porta do transistor M1. Para isto, a impedância de  $C_{des}$  deve ser bem baixa em relação à capacitância de entrada do transistor M1 (i.e. deve-se projetá-lo para que seu valor da capacitância deve ser maior) e a resistência  $R_{des}$  deve ser alta em relação a impedância de  $C_{des}$  na frequência de operação do circuito. Isto faz com que o sinal não seja dividido em relação ao transistor de espelho (M2). A análise AC do circuito da figura 10 será o mesmo modelo mostrado na figura 9, sendo, no caso,  $Z_c = R_{carga}$ .

## 2.4. Exemplo de projeto baseado em equações simplificadas

Como o modelo de simulação frequentemente usado para o transistor MOS conta com equações muito complexas (é o caso do NIVEL 53 que utilizamos nas experiências anteriores), é comum que um modelo simplificado de cálculo seja usado para se chegar às primeiras dimensões de um circuito CMOS analógico. Neste item será desenvolvido o projeto do amplificador mostrado na figura 10, a partir do modelo simplificado e, quando necessário, melhor calibrado por simulações.

A seguir apresentamos a sequência para o projeto do circuito para que funcione com:

$$\mathbf{f_{operação} = 100 \text{ Mhz}}$$

$$\mathbf{ganho = 20}$$

$$\mathbf{V_{cc} = 3,3V \text{ (valor típico para a tecnologia a ser usada)}}$$

Formas alternativas de projeto podem ser vistas nos Apêndices.

Um primeiro desenvolvimento é do circuito que compõe o transistor M1, com a resistência de carga  $R_{carga}$ .

Para que o circuito funcione corretamente, a tensão DC do dreno do transistor M1 deve ser por volta de  $V_{cc}/2$  (polarizado no valor central da excursão 0 a  $V_{cc}$ ), logo,

$$\mathbf{I_{ds1} = \frac{V_{cc}}{2R_{carga}}} \quad (\text{eq. 3})$$

Como M1 deve estar em saturação,

$$\mathbf{I_{ds1} = \frac{\beta}{2} (V_{gs1} - V_{tn})^2}$$
, ou seja, um valor particular  $V_{gs1}$  deve ser escolhido.

Observe que  $\beta = (W/L) \cdot k' = (W/L) \cdot \mu_n C_{ox}$ .

Como  $g_m = \frac{\delta I_{ds}}{\delta V_{gs}} = \beta(V_{gs} - V_{th})$ , com  $V_{gs} = V_{gs1}$ , temos

$$g_m = \sqrt{2\beta I_{ds1}} \quad (\text{eq. 4})$$

O ganho diferencial do circuito, em uma análise simplificada, é dado por:

$$\text{ganho} = R_{carga} * g_m = R_{carga} \sqrt{2\beta \frac{V_{cc}}{2R_{carga}}} = \sqrt{\beta V_{cc} R_{carga}} \quad (\text{eq. 5})$$

Do manual de tecnologia ENG-182.pdf, temos que:

$$\beta = KPN \frac{Wn1}{Ln1} = 170e-6 \frac{Wn1}{0.4} \quad (\text{estamos usando } Ln \text{ de dimensões mínimas})$$

logo:

$$\text{ganho} = \sqrt{17010^{-6} \frac{Wn1}{0,4} 3,3R_{carga}} \simeq 0,04 \sqrt{Wn1 R_{carga}} \quad (\text{eq. 6})$$

Com isto, ao fixarmos o ganho em 20, teremos:

$$Wn1 \cdot R_{carga} = 250000, \text{ com } Wn1 \text{ em } \mu\text{m} \text{ e } R_{carga} \text{ em } \Omega$$

Isto leva a diferentes valores possíveis, por exemplo:

$$Wn1 = 10\mu\text{m} \text{ e } R_{carga} = 25\text{k}\Omega$$

$$Wn1 = 100\mu\text{m} \text{ e } R_{carga} = 2,5\text{k}\Omega$$

entre outros...

ATENÇÃO: Seguindo o raciocínio da seção 2.2, o ideal é utilizarmos  $Wn1$  pequeno (transistor estreito). Porém, isto tornaria  $R_{carga}$  grande, o que implica em ruído térmico do resistor aumentado e grande consumo de área. Portanto, devido a objetivos específicos contraditórios, não há uma forma óbvia para a otimização do projeto.

No exemplo deste texto, escolheremos  $Wn1 = 100\mu\text{m}$  e  $R_{carga} = 2,5\text{k}$ . Com isto, tratando-se de um espelho de corrente, o transistor M2 conterà características idênticas ao de M1. Pela eq. 3:

$$I_{p1} = I_{ds1} = V_{cc}/(2 R_{carga}) = 3,3/(2 * 2,5 \text{ k}) = 0,66\text{mA}$$

$$\text{e } Wn2 = Wn1$$

Ainda com os valores de capacitância encontrados em ENG-182.pdf,

$$C_{gs} = CGOX \cdot Wn1 \cdot Ln1 = 4,54 \cdot Wn \cdot Ln \text{ fF } (Wn \text{ e } Ln \text{ em } \mu\text{m})$$

logo,

$$C_{gs} = 181,6 \text{ fF } \text{ para o transistor M1}$$

Calculado  $C_{gs}$ , faremos  $C_{des} = 10 \cdot C_{gs}$  para termos um boa transmissão do sinal. Com isto,

a parcela de tensão sobre Cdes será menor, quando do acionamento do circuito, e a maior parte da tensão cairá em Cgs. Portanto:

$$C_{des} = 10 C_{gs} = 1,82\text{pF}$$

Para que o desacoplamento seja bom, a impedância de Cdes deve ser ao menos 10 vezes menor que Rdes, ou seja,

$$R_{des} = 10/(2 \pi f C_{des}).$$

No nosso caso, podemos obter:

$$R_{des} = 8.7\text{k}$$

### 3 – Parte Experimental

#### 3.1. Projeto do aluno baseado em equações simplificadas

O(A) aluno(a) deverá fazer o seu projeto específico, seguindo o exemplo da seção 2.4, mantendo as especificações de frequência e ganho.

Os parâmetros Wn1 e Rcarga da eq. 6 deverão se ajustadas de acordo com o número USP. O último algarismo (X) de seu número USP determinará Wn1. Obedecendo a seguinte equação:

$$W_{n1} = (120 + 2.X) \mu\text{m}$$

⇒ **Completar na folha de respostas com as informações solicitadas (item 3.1)**

#### 3.2. Simulação do Projeto

Faça a simulação com o circuito completo (apenas o obtido teoricamente). Para isto, utilize como base o arquivo '**ampl\_ideal.sp**', mostrado a seguir. Edite-o em uma pasta referente a esta seção (~/**psi3452/lab5/caso\_ideal**, por exemplo). O aluno deve alterar os números que estão em negrito, compatibilizando-os com os seus, obtidos através de seu número USP e de seus cálculos. Observe e analise a descrição do circuito para ter certeza que se trata do circuito desejado, além dos valores de polarização projetados.

**ATENÇÃO: Tenha certeza que entende os comandos .ac e .plot**

Simulacao no eldo de amplificador ideal

\* nome exp4ideal.sp

.include /opt/mgc\_tree/adk3\_1/technology/ic/models/tsmc035.mod

M1 out pt1 0 0 n L=4e-07 W=**100**e-06

M2 pol pol 0 0 n L=4e-07 W=**100**e-06

Rdes pol pt1 **8.7**k

Cdes in pt1 **1.82**p

Rcarga fonte out **2.5**k

Ipol pol 0 **-0.66**m

vin in 0 ac 0.1

(atenção - continua...)

```

vcc fonte 0 3.3
.ac dec 10 10e+4 10e+8
.plot ac vm(out)
.end

```

Simule e obtenha a sua curva de ganho. Deverá ser semelhante ao da Figura 11.

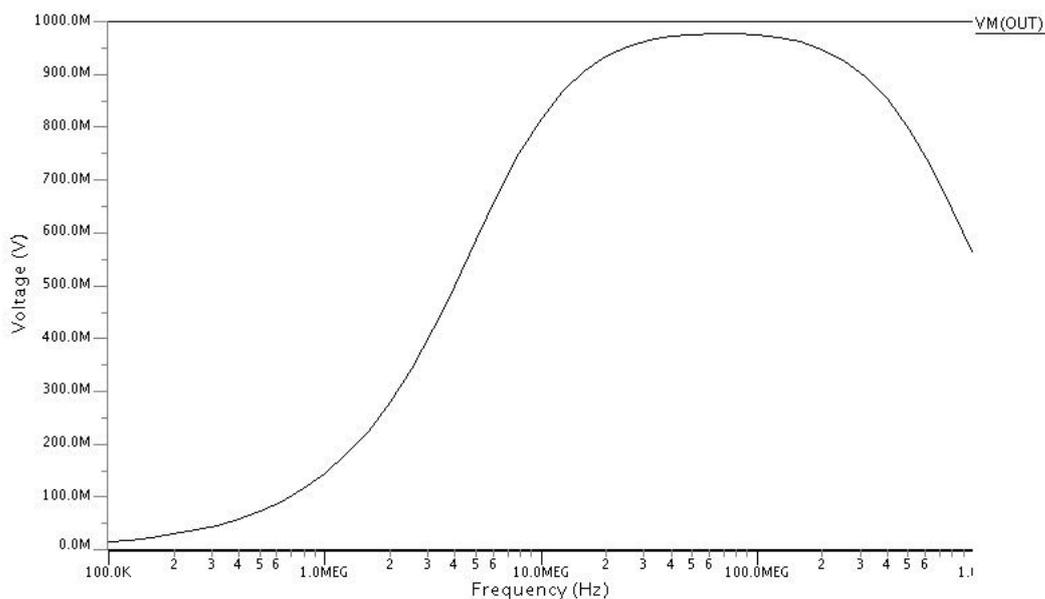


Figura 11 – resultado esperado de simulação

⇒ **Seguir a folha de respostas e completar com as informações solicitadas (item 3.2)**

### 3.3. Reprojeto e Simulação

O mais provável é o(a) aluno(a) não ter obtido o ganho desejado. Em uma nova pasta (~/[psi3452/lab5/caso\\_corrigido](#), por exemplo), copie o arquivo '[ampl\\_ideal.sp](#)' para '[ampl\\_corrigido.sp](#)' e edite-o com novos valores. O(A) aluno(a) deverá fazer uma sequência de uso de valores de  $R_{carga}$  (mantendo o valor de  $W_{n1}$  e  $W_{n2}$ ) e simulação até que o ganho de 20 seja obtido. Faça um processo de tentativa e erro (por aproximação) da seguinte forma:

- 1) Estime um novo valor  $R_{carga}$  (para aproximar a um ganho de 20 na simulação);
- 2) Obtenha novo  $I_{pol}$
- 3) Edite '[ampl\\_corrigido.sp](#)'.
- 4) Ressimule e analise o ganho.
- 5) Caso o ganho  $< 19$  ou ganho  $> 2$ , volte a 1); caso contrário, termine.

⇒ **Seguir a folha de respostas e completar com as informações solicitadas (item 3.3)**

### 3.4. Geração do Leiaute

Desenhe, usando o IC Station, o leiaute dos diversos componentes. Crie uma nova pasta (~/**psi3452/lab5/caso\_leiaute**, por exemplo), Salve este leiaute com o nome **amplifier**, por exemplo. A seguir serão dadas as instruções para o desenho de cada um destes componentes.

#### 3.4.1. O transistor

Os seus transistores devem seguir o leiaute da Figura 7 da Seção 2.2.3. Cada transistor deverá apresentar dois sub-blocos espelhados (na prática, cada sub-bloco é um transistor com metade da largura total).

Vamos construir o primeiro sub-bloco de M1 primeiro: escolha  $Width = W_n/(2*0.2)$  ( $250 \lambda$ , no caso do exemplo de  $100\mu m$ ) e  $Length = L_n/0.2$  ( $2 \lambda$ ). Lembre-se que o seu projeto particular depende de seu número USP, portanto calcule o Width de acordo com ele.

Utilizando os comandos a seguir desenhe o transistor:

DLA Device >> AddMos

No próprio AddMos, selecione (para dobrar o transistor)

Edit > Fold Mos

Escolha 8 o número de *legs*, observe que isto resulta em um bloco retangular (aproximadamente  $2x 1$ ). Copie e espelhe este sub-bloco e conecte os dois sub-blocos em paralelo formando o transistor desejado (conectar as portas, drenos e fontes). Estes transistores ligados em paralelo formará o transistor inicialmente projetado.

Faça as ligações da porta, fonte e dreno. Além disto, inclua um contato de substrato. O desenho resultante deverá ter uma razão de aspecto próximo de um quadrada, com as dimensões vinculadas ao seu projeto. Para chegar a este leiaute, siga as dicas apresentadas a seguir (pode ser feito de outras maneiras....).

#### Dicas:

- O contato de substrato deve ser adicionado como foi feito ao se projetar o inversor em experiência anterior, ou seja, utilizando o comando:

Add -> Instance

- Adicione a célula de forma a que a ilha P do transistor encoste na ilha P da célula:

`'/tools/mgc_tree/adk3_1/technology/ic/process/tmsc035_via/pwell_contact'`

- Inclua o METAL1 cobrindo a célula 'pwell\_contact' e que se estenda por toda a dimensão inferior do transistor (este desenho pode ser feito com 'Easy Edit / Shape').
- Adicione as ligações para as fontes dos dedos do transistor, esta ligação deve ser feita nas difusões ímpares do transistor e pode ser feita usando o 'Easy Edit / Shape' para a primeira ligação e, depois, tendo selecionado este primeiro METAL1, o 'Easy Edit / Copy'.
- A ligação de dreno pode ser feita de maneira semelhante à da fonte, porém agora a escolha será nas difusões pares do transistor.
- A ligação da porta, também, é semelhante mas agora deve ser usado o POLY1.

Para duplicar o transistor (para se ter M2), utilize o cursor e/ou as teclas f1 e f2, selecione todo o transistor já desenhado. Para duplicá-lo, utilize o comando 'Easy Edit / Copy' e selecione apenas mover horizontalmente. Deve resultar em uma figura parecida com a Figura 7.

⇒ **Seguir a folha de respostas e completar com as informações solicitadas (item 3.4.1)**

### 3.4.2. Capacitor

Crie um capacitor com o valor por você projetado. Para isto, use o comando:

'DLA Device >> Cap >> Point Cap'

Na janela Object Editor selecione:

Capacitor Specification = Capacitance and Area Ratio

Capacitance = seu valor em fF obtido em 3.4.1

Area Ratio = 1

Posicione o cursor onde você quer desenhar o capacitor clique o mouse no botão da esquerda.

**ATENÇÃO:** o capacitor apresenta dois polos. Descubra quais são eles no leiaute.

### 3.4.3. Rcarga

Crie o resistor Rcarga usando o comando:

'DLA Device >> Res >> Point Res'

Na janela Object Editor selecione:

Type = HR

Resistor Specification = Resistance and width

Width = 5.0 (default)

Resistance = seu valor em Ohm obtido em 3.3

Number of Legs = [4]

Resistor Structure = series

Posicione o cursor onde você quer desenhar Rcarga e clique o botão esquerdo do mouse. Veja se o resultado é próximo de um quadrado. Senão, modifique o número de legs.

### 3.4.4. Rdes

Crie o resistor Rdes usando o comando:

'DLA Device >> Res >> Point Res'

Na janela Object Editor selecione:

Type = HR

Resistor Specification = Resistance and width

Width = 5.0 (default)

Resistance = seu valor em Ohm obtido em 3.3

Number of Legs = [9]

Resistor Structure = series

Posicione o cursor onde você quer desenhar Rdes e clique o botão esquerdo do mouse. Veja se o resultado é próximo de um quadrado. Senão, modifique o número de legs.

### 3.4.5. Juntando tudo

Após ter desenhado os diversos componentes e tê-los colocado de forma conveniente no leiaute, faça as ligações e coloque os labels. O leiaute resultante deve ser parecido com o mostrado na Figura 12.

⇒ Seguir a folha de respostas (item 3.4.5)

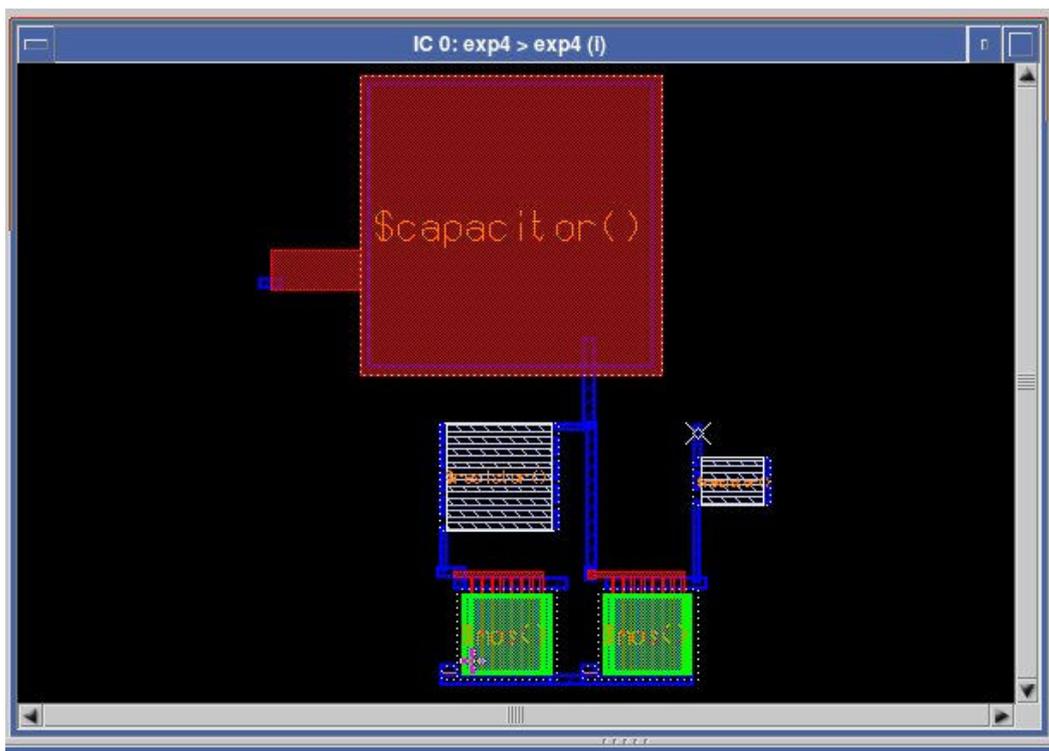


Figura 12 – leiaute final

### 3.5. Extração e Simulação

O aluno deve proceder com a extração do circuito e a simulação no ELDO e verificar a conformidade dos resultados. O arquivo **ampl\_completo.sp'** deve conter a seguinte sintaxe:

```
Simulacao do leiaute da EXP4
.include /tools/mgc_tree/adk3_1/technology/ic/models/tsmc035.mod
.include './exp4.sp'
X1 IN IPOL 0 VCC OUT EXP4
Ipol IPOL 0 -0.66m
vin IN 0 ac 0.1
vcc VCC 0 3.3
.ac dec 10 10e+4 10e+8
.plot ac vm(OUT) vm(IN)
.end
```

Simule e observe os resultados.

⇒ **Seguir a folha de respostas e completar com as informações solicitadas (item 3.5)**

## Apendice A – Melhorias possíveis no circuito proposto.

### A.1 – Melhorando o espelho de corrente

Para reduzir o problema da impedância de saída do circuito, um espelho de corrente com melhor impedância de saída é proposto na figura A.1. Isto fará com que o ganho aumente, pois a impedância na saída será reduzida. O lado negativo em se ter transistores em série é que a tensão mínima de alimentação é aumentada.

Figura A.1 – Melhora no espelho de corrente

O arquivo que descreve este novo circuito é o mostrado a seguir:

```
Simulacao no eldo de amplificador ideal
.include /opt/mgc_tree/adk3_1/technology/ic/models/tsmc035.mod
M3 out pol pt2 0 n L=4e-07 W=100e-06
M4 pol pol pt3 0 n L=4e-07 W=100e-06
M1 pt2 pt1 0 0 n L=4e-07 W=100e-06
M2 pt3 pt3 0 0 n L=4e-07 W=100e-06
Rdes pt3 pt1 8.7k
Cdes in pt1 1.82p
Rcarga fonte out 2.5k
Ipol pol 0 -0.66m
vin in 0 ac 0.1
vcc fonte 0 3.3
.ac dec 10 10e+4 10e+8
.plot ac vm(out)
.end
```

Neste caso, a resposta é a mostrada na figura A.2 onde o ganho é da ordem de 15, ou seja, bem mais próximo do esperado.

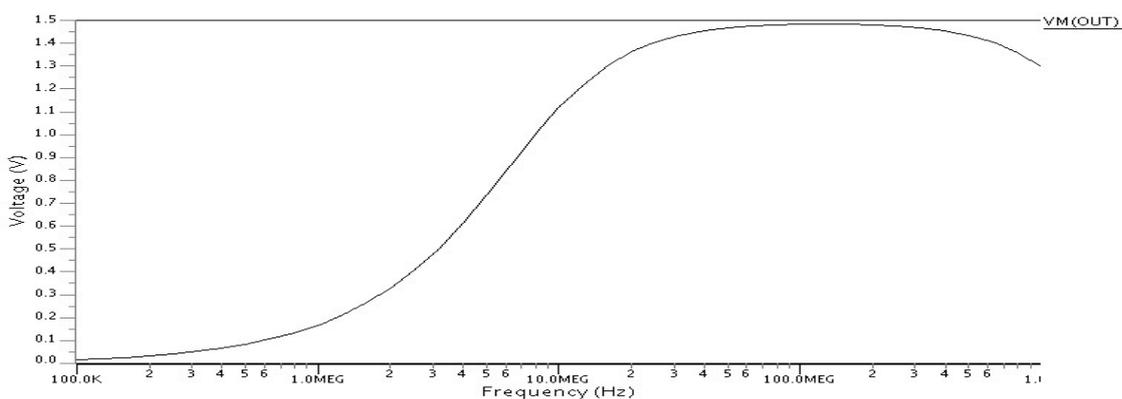


Figura A.2 – Resposta em frequência

### A.2 – Usando um transistor PMOS como carga

Uma outra possível modificação é substituir o resistor  $R_c$  por um transistor canal P que esteja sempre conduzindo, conforme mostrado na figura A.3. Isto reduz a área, porém deve aumentar a distorção do sinal de saída.

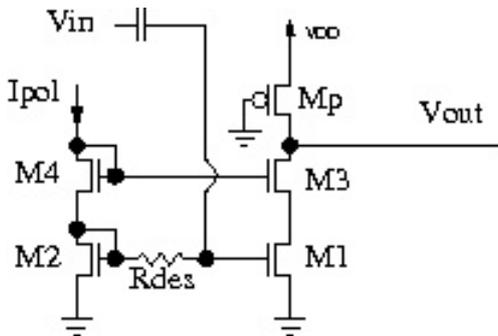


Figura A.3 – Transistor canal P como carga

O arquivo usado nesta simulação é mostrado a seguir.

Simulacao no eldo de amplificador ideal

```
.include /opt/mgc_tree/adk3_1/technology/ic/models/tsmc035.mod
M3 out pol pt2 0 n L=4e-07 W=100e-06
M4 pol pol pt3 0 n L=4e-07 W=100e-06
M1 pt2 pt1 0 0 n L=4e-07 W=100e-06
M2 pt3 pt3 0 0 n L=4e-07 W=100e-06
Rdes pt3 pt1 8.7k
Cdes in pt1 1.82p
M5 out 0 fonte fonte p W=54u L=10u
Ipol pol 0 -0.66m
vin in 0 ac 0.1
vcc fonte 0 3.3
.ac dec 10 10e+4 10e+8
.plot ac vm(out)
.end
```

O resultado da simulação é apresentado na figura A.4. Pode ser observado um aumento significativo do ganho. Pode-se esperar um aumento na distorção devido à não-linearidade do transistor canal P como carga.

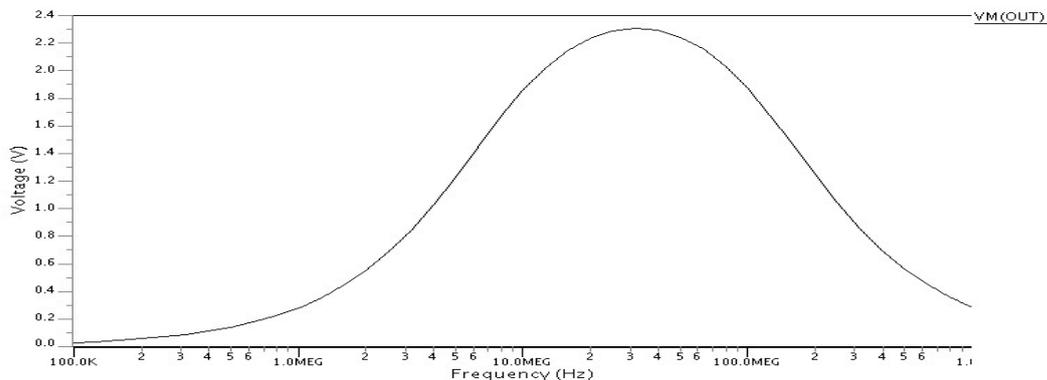


Figura A.4 – Ganho usando transistor canal P como carga