

Escola Politécnica da Universidade de São Paulo
Departamento de Engenharia de Sistemas Eletrônicos - PSI

PSI-3452- Projeto de Circuitos Integrados Digitais e Analógicos

**LAB 4: Experimentos com uma NAND2: lógicas estática
e dinâmica (2017)**

1 – Objetivo

Nesta experiência o aluno realizará simulações com célula básica NAND de duas entradas, visando explorar características das lógicas estática e dinâmica. A sessão de lab tem como objetivos específicos:

- Familiarizar o estudante com o conceito de portas complexas na lógica complementar estática;
- Reforçar o conceito de dimensionamento de transistores em porta complexa a partir da correlação com as relações W/L de um inversor de referência;
- Verificar as diferenças de comportamento entre uma porta lógica estática e uma porta realizada com a lógica dinâmica.

2 - Introdução teórica

2.1 - Portas Lógicas em Lógica Estática Complementar CMOS

Na lógica CMOS complementar, todo circuito lógico pode ser visto como uma extensão de um inversor, composto de uma rede de transistores tipo p e outra do tipo n. A primeira é denominada rede levantadora (de tensão) (do inglês, pull-up network, PUN) enquanto a segunda é um rede abaixadora (de tensão) (do inglês, pull-down network, PUD). As duas redes são duais: transistores n em série ou paralelo na PDN têm correspondentes na PUN em paralelo ou série.

Uma característica das redes PUN-PDN é a implementação de uma função lógica complementada, i.e., o acionamento de sinais de entrada em V_{DD} age no sentido de trazer o sinal de saída para GND e vice-versa. Pela dualidade entre as redes PUN e PDN, para qualquer combinação de valores de entrada da porta lógica, sempre uma e apenas uma das redes permite a transmissão do V_{DD} ou GND. Isto faz com que a saída do bloco lógico tenha um caminho resistivo (de resistência baixa) para V_{DD} ou GND, criando-se um sinal "forte"¹, característica da lógica estática. Qualquer função pode ser implementada como lógica complementar CMOS. Como exemplo, podemos ter a função de 2 entradas que corresponde à porta básica NAND, como abaixo (no livro texto do Sedra, 5a. edição, há vários outros exemplos de portas básicas e complexas):

$$Y = \overline{A.B}$$

A implementação da porta básica NAND correspondente é apresentada na figura 1.

2.2 - Dimensionamento de Transistores e Tempos de Atraso em Portas Lógicas

Uma vez definido o esquema lógico de uma porta básica ou complexa, deve-se proceder ao dimensionamento dos transistores, isto é, a relação W/L para todos eles. A escolha é realizada, em geral, para que a porta tenha um casamento entre o PUN e o PDN, tendo-se assim um comportamento equilibrado. Tal casamento é similar ao que foi realizado no lab 3 em relação ao inversor, para equilibrar as margens de ruído e tempos de atraso.

¹ Entenda-se "forte" pelo fato de não haver perda do sinal, mesmo com a existência de correntes de fuga pelo dispositivo (elas sempre estão lá!). O sinal é automaticamente regenerado pela ligação ao V_{DD} ou GND

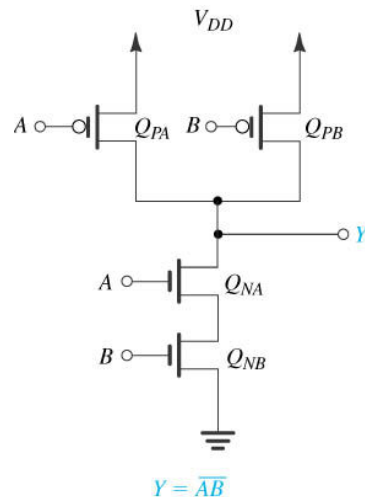


Figura 1. NAND 2 em lógica estática complementar

A dificuldade de se dimensionar os transistores em uma porta mais complexa reside em existir várias condições para as entradas que podem levar a saída para V_{DD} (ou GND), drenando valores diferentes de corrente. Desta forma, diferentes condições podem levar a diferentes valores de t_{pHL} , t_{pLH} , V_{IL} ou V_{IH} .

Para resolver a dificuldade acima, a forma tradicional de se projetar uma porta complexa é considerar o pior caso de atraso, isto é, o dimensionamento deve ser feito de tal forma que todas as combinações possíveis de entrada devem produzir atrasos abaixo de um valor limite. Em outras palavras, haverá um caso (o pior caso) em que o valor corresponde ou está próximo ao valor limite de referência, enquanto todas outras combinações de entrada produzirão tempos de atraso menores.

Dada a facilidade em se dimensionar o inversor, este é usado como referência. Para um par $\langle t_{pHL}, t_{pLH} \rangle$ desejado, determina-se para um inversor as respectivas relações $(Wn/Ln)=n$ e $(Wp/Lp)=p$. Se os mesmos valores de tempo são desejados no pior caso de uma porta complexa, então, os valores equivalentes de n e p devem ser garantidos para as suas redes PDN e PUN. As situações piores para atrasos ocorrem para transistores em série, uma vez que as resistências se somam, aumentando o tempo de atraso. Como (W/L) é inversamente proporcional à resistência, a estratégia baseia-se em, sempre que houver transistores em série, aumentar a relação (Wn/Ln) ou (Wp/Lp) de cada transistor, de tal forma a diminuir individualmente a resistência do transistor na mesma proporção.

Uma solução simples (nem sempre é a que levaria à menor área) para a obtenção de relações W/L , é analisar todas as combinações de entrada que levem à ativação de transistores que formem caminhos em série entre V_{DD} ou GND à saída. Começando pelo mais longo, fazer com que todos os transistores tenham pelo menos um valor (Wn/Ln) ou (Wp/Lp) k vezes maior que n ou p , sendo k o número de transistores em série.

O método de dimensionamento acima garante que os tempos de atraso correspondentes ao inversor de dimensões n e p não serão ultrapassados em nenhuma combinação de entrada. A figura 2 ilustra tal situação, onde, para a rede PDN, caso somente Q_{NB} e Q_{NC} estejam ativados temos a resistência equivalente proporcional a $1/n$ (somam-se as resistências individuais, cada uma proporcional a $1/2n$). Observe-se que o mesmo ocorre se apenas Q_{NB} e Q_{ND} estiverem ativados. Entretanto, se Q_{NB} , Q_{PC} e Q_{PD} estiverem todos ativados, a resistência será proporcional a $3n/4$,

portanto, o tempo de atraso será menor, ou seja, menos crítico.

É interessante notar que, enquanto para os tempos de atraso podemos tratar de pior caso, para as características estáticas tal noção não se sustenta. O aluno poderá perceber por observação própria, mais cuidadosa, que o levantamento de curva $V_{out} \times V_{in}$ (para cada entrada ou conjunto de entradas) é bastante complexo, pois depende do estado de demais transistores.

ATENÇÃO: A metodologia acima de dimensionamento é de uso genérico. Para células padrão (próxima seção), ela deve estar acoplada aos requisitos de dimensões mínimas, como será apresentado.

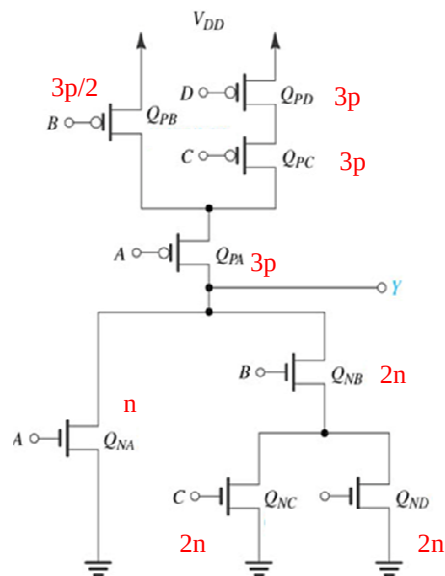


Figura 1. Dimensionamento de transistores em porta complexa

2.3 - Portas Lógicas em Lógica Dinâmica

Diferente dos seus pares da lógica estática, uma porta em lógica dinâmica assume que em algum momento de operação, com o circuito estabilizado, algum nó do circuito lógico não apresenta valor "forte", mas um sinal "fraco". Para isto, tal nó não tem um caminho resistivo (há resistência infinita) para V_{DD} ou GND, estando o seu valor de tensão dado pela carga acumulada no capacitor equivalente do nó. As correntes de fuga existentes no dispositivo causam perda do sinal e não há como regenerá-lo, a não ser externamente, abrindo-se algum caminho para V_{DD} .

Um porta lógica dinâmica necessita apenas de PDN, conhecido como tipo-n (ou de PUN, conhecido como tipo p). Isto é ilustrado na figura 3.a, onde uma porta complexa de 3 entradas é definida pelo bloco PDN. Para que a porta opere corretamente com todas as combinações de entrada, uma vez que o PUN não está presente, a lógica dinâmica é estabelecida pelo conceito de "pré-carga". Algum nó fica pré-carregado de um determinado valor lógico e tal valor poderá tomar efeito ou não. Este efeito é verificado em um segundo momento, de "avaliação".

Como indicado na figura 3.b, um sinal de controle ϕ , atuando sobre um transistor p e outro n, estabelece as duas condições de operação:

- fase de pré-carga ($\phi=0$): o transistor p de controle está ON (o transistor n está OFF), a saída Y vai a 'High' com a carga do capacitor C_L correspondente.

- fase de avaliação ($\phi=1$): o transistor n de controle está ON (o transistor p está OFF), a saída Y vai o valor estabelecido pela lógica e pelos valores de entrada A, B e C. Caso o PDN seja ativado,

a saída Y vai a 'Low', com um caminho para GND (sinal "forte"); caso o PDN fique inativo (seria o caso do PUN **inexistente** ficar ativo), o valor 'High' prévio de Y permanece, sem caminho para V_{DD} ou GND, portanto um sinal "fraco".

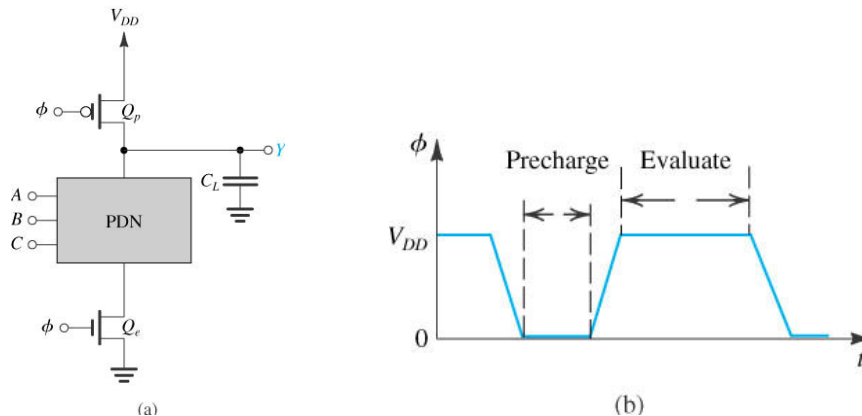


Figura 3. Porta lógica dinâmica de 3 entradas com PDN (tipo-n)

3 – Parte Prática

Projete uma célula lógica NAND de 2 entradas cujos transistores canal N e canal P tenham as dimensões dependentes de seu número USP.

3.1 - Dimensionamento de Transistores

1) Para o dimensionamento dos transistores, o aluno deverá utilizar como referência os valores obtidos para o inversor na Exp. 3.

⇒ **Completar na folha de respostas com as informações solicitadas (item 3.1.1)**

2) Para que os tempos de atraso do item 1) sejam mantidos no pior caso, fazer os dimensionamentos necessários das larguras dos transistores, W_n e/ou W_p (manter L_n e L_p), da sua porta NAND de 2 entradas, como explicado na teoria.

⇒ **Completar na folha de respostas com as informações solicitadas (item 3.1.2)**

Observação: para evitar problemas de referências futuras, é sugerido que para cada seção seguinte, uma pasta específica seja gerada e todos os arquivos de simulação correspondentes sejam ali gravados.

3.2 - Simulação Lógica da NAND2

Neste lab, o(a) aluno(a) não desenvolverá o leiaute da célula do NAND2, uma vez que as tarefas de instanciação de transistores, adição de linhas de metal, colocação de rótulos, etc., já são conhecidos. No projeto final, o assunto de células complexas retornará quando o(a) aluno(a) desenvolverá células-padrão. Para este lab, simulações serão feitas a partir da modificação dos arquivos de simulação já utilizados nos labs anteriores.

1) A partir dos arquivos *.sp, *.pex e *.pxi obtidos na extração do circuito inversor do item 3.7 do lab3, monte o arquivo de simulação para o seguinte circuito: porta NAND2 (como na figura 1) acionando um inversor.

Observação 1. Para a porta NAND, use os valores calculados na seção 3.1.

Obs. 2. Adote Cpar da seção 3.7 do lab3 para o ponto de conexão da NAND2 para o inversor.

Obs. 3 Adote valores de AS, AD, PS e PS proporcionais aos novos W utilizados.

- 2) Baseado nos arquivos topos para simulação no Eldo utilizados nos labs anteriores, monte, por sua conta, o arquivo topo de simulação para a NAND.
- 3) Lembre-se de realizar uma simulação transiente em que as quatro possíveis combinações de entrada da porta NAND estejam presentes. (Dica: faça um esboço inicial das formas dos dois sinais de entrada da porta NAND, no tempo, para depois escrever o arquivo topo de simulação). Modele com t_f e $t_p = 10ps$.
- 4) Faça a simulação com o Eldo e gere os resultados.

⇒ **Completar na folha de respostas com as informações solicitadas (item 3.2)**

3.3 - Simulação de Atrasos com a NAND

- 1) Como os mesmos arquivos anteriores, modifique o arquivo topo para realizar as seguintes simulações:

ATENÇÃO: Para cada uma das condições abaixo, o estado inicial deve permanecer constante por tempo suficiente, para garantir que as capacitâncias de carga estejam carregadas ou descarregadas adequadamente antes da segunda transição dos sinais.

- a) t_{pHL} : A=1; B: 0--> 1
- b) t_{pHL} : A: 0--> 1; B=1
- c) t_{pHL} : A: 0--> 1; ; 0--> 1
- d) t_{pLH} : A: 1--> 0; ; 1--> 0

Observação. Você poderá optar por usar um arquivo topo com todas as simulações ou vários arquivos topos para simulações diferentes.

- 2) Faça a simulação com o Eldo e gere os resultados.

⇒ **Completar na folha de respostas com as informações solicitadas (item 3.3)**

3.4 - Simulação Lógica da NAND2 com Lógica Dinâmica

- 1) A partir dos arquivos *.sp, *.pex e *.pxi utilizados nas seções anteriores, monte o arquivo de simulação para o seguinte circuito: porta NAND2 com lógica dinâmica (como na figura 3.a) acionando um inversor, também com lógica dinâmica.

Observação1. Para a porta NAND, use os valores calculados na seção 3.1.

Obs.2. Para os transistores de pré-carga, assim como o transistor n do inversor, use as dimensões dos inversores do lab 3.

Obs.3. Adote Cpar da seção 3.7 do lab3 para o ponto de conexão da NAND2 para o inversor.

Obs.4. Adote valores de AS, AD, PS e PS proporcionais aos novos W utilizados.

- 2) Baseado nos arquivos topos para simulação no Eldo utilizados nas seções anteriores, monte, por sua conta, o arquivo topo de simulação para a NAND.
- 3) Lembre-se de realizar uma simulação variando-se o sinal ϕ , com as fases de pré-carga e de avaliação.
- 4) Lembre-se de realizar uma simulação transiente em que as quatro possíveis combinações de

entrada da porta NAND estejam presentes. (Dica: faça um esboço inicial das formas dos dois sinais de entrada da porta NAND, no tempo, para depois escrever o arquivo topo de simulação). Modele com t_f e $t_p = 10\text{ps}$.

5) Faça a simulação com o Eldo e gere os resultados.

⇒ **Completar na folha de respostas com as informações solicitadas (item 3.4)**

3.5- Simulação da Redistribuição de Cargas da NAND2 com Lógica Dinâmica

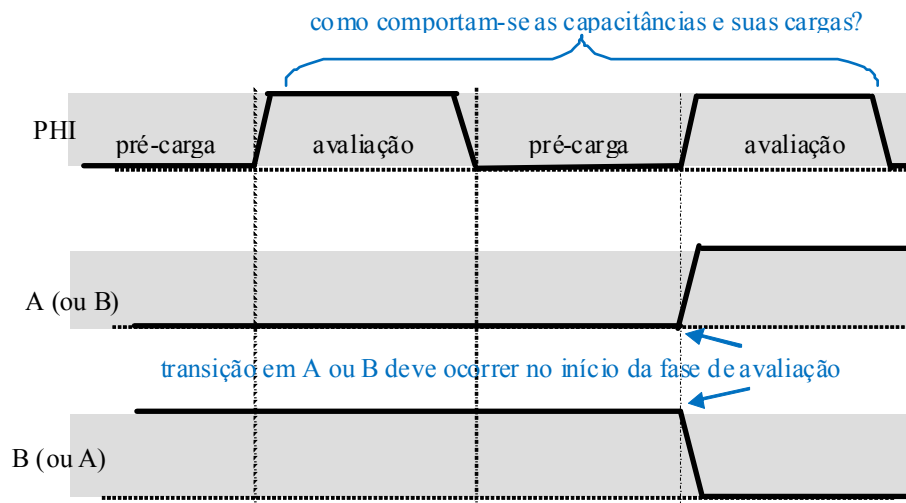
1) Monte, por sua conta, o arquivo topo de simulação para a observação da redistribuição de cargas.

2) Faça as seguintes simulações:

ATENÇÃO: Para cada uma das condições abaixo, o estado inicial deve acontecer nas duas fases, de pré-carga e avaliação, e o estado final deve ocorrer em outras duas fases (guie-se pela figura abaixo).

a. $A=1 \rightarrow 0$; $B: 0 \rightarrow 1$

b. $A: 0 \rightarrow 1$; $B=1 \rightarrow 0$



3) Faça a simulação com o Eldo e gere os resultados.

⇒ **Completar na folha de respostas com as informações solicitadas (item 3.5)**

3.6- Simulação da Perda de Valor de Tensão em Lógica Dinâmica Cascadeada

1) Monte, por sua conta, o arquivo topo de simulação para a observação da perda de sinal em cascadeamento de lógica dinâmica.

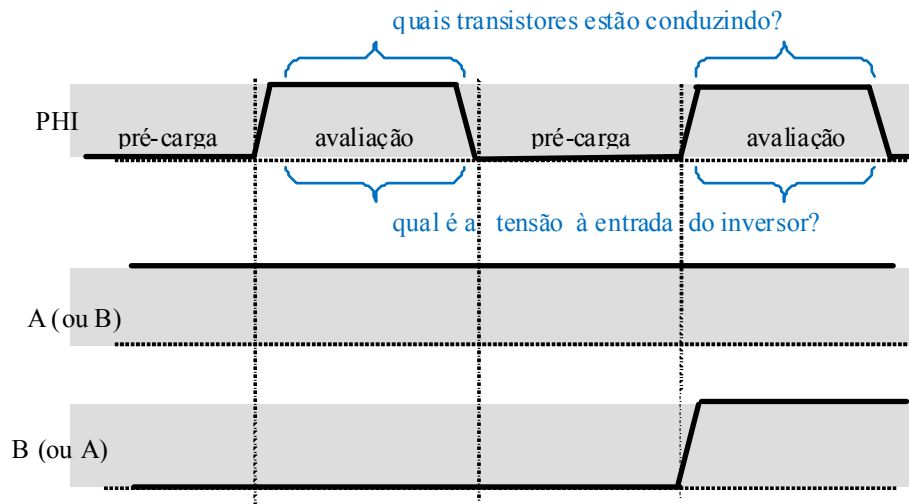
2) Faça as seguintes simulações:

ATENÇÃO: A saída do segundo inversor deve ser observável nas simulações.

ATENÇÃO: Para a condição abaixo, o estado inicial deve acontecer nas duas fases, de pré-

carga e avaliação, e o estado final deve ocorrer em outras duas fases (guie-se pela figura abaixo).

A=1; B: 0→1



3) Faça a simulação com o Eldo e gere os resultados.

⇒ Completar na folha de respostas com as informações solicitadas (item 3.6)