

Comparadores

1 Objetivos deste tópico

Ao final do estudo deste tópico você saberá:

- O conceito de circuitos iterativos;
- A estrutura de um comparador;
- A estrutura de um comparador iterativo;
- A estrutura de um comparador paralelo;
- O comparador 7485;
- A descrição de comparadores em VHDL;
- O cascadeamento de comparadores;

Leitura recomendada : seções do livro do Wakerly

- 6.9 - Comparators;
- 6.9.1 - Comparator Structure;
- 6.9.2 - Iterative Circuits;
- 6.9.3 - An Iterative Comparator Circuit;
- 6.9.4 - Standard MSI Magnitude Comparators;
- 6.9.5 - Comparators in HDL;
- 6.9.7 - Comparators in VHDL;

Keywords: comparator, magnitude-comparator, parallel comparator, iterative circuit, primary inputs and outputs, cascading inputs and outputs, boundary outputs, 74x85, `std_logic_arith` package, `std_logic_signed` package, `std_logic_unsigned` package

2 Exercícios

1. Projete circuitos combinatórios para os seguintes comparadores de 1 bit : (a) $X = Y$, (b) $X \neq Y$, (c) $X < Y$, (d) $X > Y$, (e) $X \leq Y$, (f) $X \geq Y$.
2. Desenhe o diagrama lógico do comparador 7485, conforme descrito a seguir em VHDL:

```
library IEEE;
use IEEE.std_logic_1164.all;

entity sn74_85 is
  port (
    i_A3 : in std_logic;
    i_B3 : in std_logic;
    i_A2 : in std_logic;
    i_B2 : in std_logic;
    i_A1 : in std_logic;
    i_B1 : in std_logic;
    i_A0 : in std_logic;
    i_B0 : in std_logic;
    i_AGTB : in std_logic;
    i_ALTB : in std_logic;
    i_AEQB : in std_logic;
    o_AGTB : out std_logic;
    o_ALTB : out std_logic;
    o_AEQB : out std_logic
  );
end entity sn74_85;

architecture sn74_85_arch of sn74_85 is
  signal agtb : std_logic;
  signal aeqb : std_logic;
  signal altb : std_logic;
begin
  -- Wakerly, J.F. Digital Design - Principles and Practice 4th Edition
  -- Equations from Chapter 6, page 462
  -- See also SN7485 Function Table
  agtb <= (i_A3 and not(i_B3)) or
    (not(i_A3 xor i_B3) and i_A2 and not(i_B2)) or
    (not(i_A3 xor i_B3) and not(i_A2 xor i_B2) and i_A1 and
      not(i_B1)) or
    (not(i_A3 xor i_B3) and not(i_A2 xor i_B2) and not(i_A1 xor i_B1)
      and i_A0 and not(i_B0));
  aeqb <= not((i_A3 xor i_B3) or (i_A2 xor i_B2) or (i_A1 xor i_B1) or
    (i_A0 xor i_B0));
  altb <= not(agtb or aeqb);
  o_AGTB <= agtb or (aeqb and (not(i_AEQB) and not(i_ALTB)));
```

```

o_ALTB <= altb or (aeqb and (not(i_AEQB) and not(i_AGTB)));
o_AEQB <= aeqb and i_AEQB;

end sn74_85_arch;

```

- Verifique e explique o comportamento do comparador de 4 bits 7485 usando a carta de tempos da Figura 1. Simule no GHDL o comportamento do 7485 usando a descrição VHDL do item anterior e o testbench sn74_85_tb.vhd.

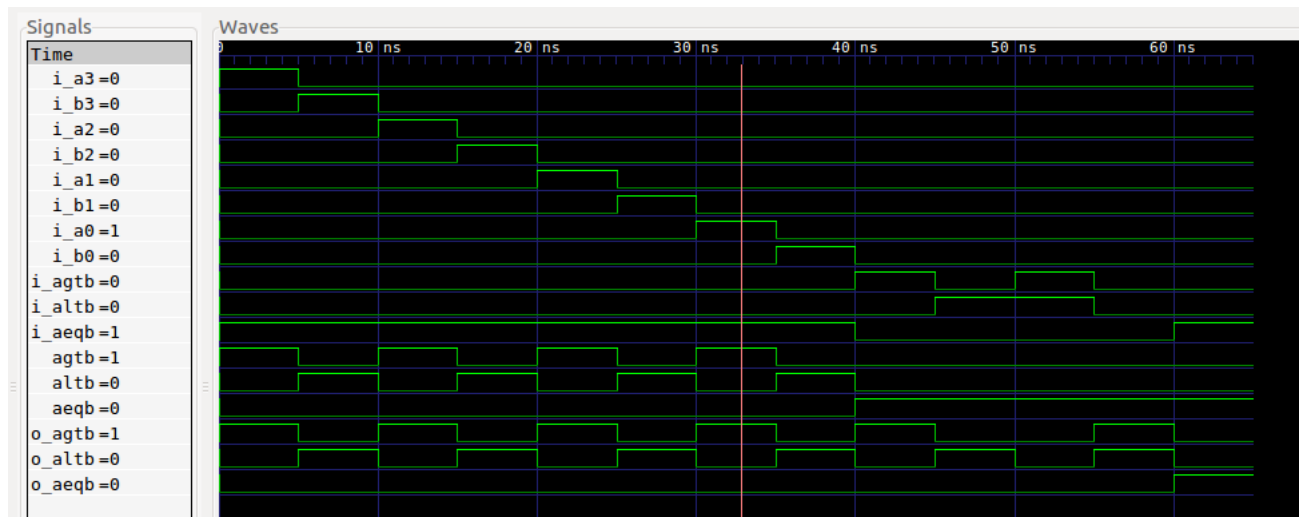


Figura 1: Comportamento do 7485

- Descreva em VHDL o comparador de 12 bits da Figura 6-79 no livro Digital Design - Principles and Practice (Wakerly, J. F., 4th Edition), usando a seguinte entidade:

```

entity comp12bit is
  port (
    XD : in std_logic_vector (11 downto 0);
    YD : in std_logic_vector (11 downto 0);
    XLTY : out std_logic;
    XEQY : out std_logic;
    XGTY : out std_logic
  );
end entity comp12bit;

```

Observe que o comparador de 12 bits usa o comparador 7485. Utilize o testbench comp12bit_tb.vhd para executar a simulação do circuito. Verifique se o resultado da simulação é semelhante ao que é apresentado na Figura 2. Explique o resultado da simulação. O circuito tem o comportamento de um comparador iterativo?

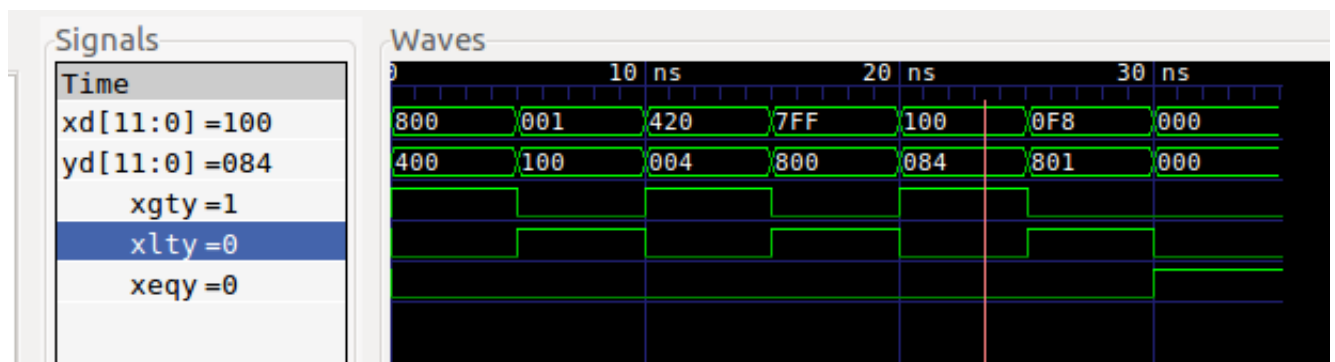


Figura 2: Comportamento do comparador de 12 bits