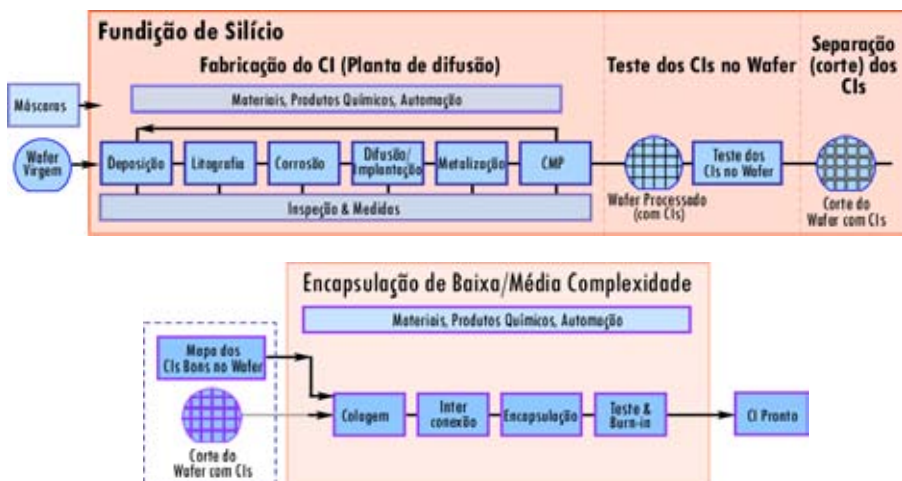


# PSI2613

## Projeto de Circuitos Híbridos e Módulos Eletrônicos

2015

### PROCESSO DE FABRICAÇÃO DE “CHIPS”



# ENCAPSULAMENTO ELETRÔNICO (PACKAGING)



- Finalidades:

1. Proteção
2. Forma de Modularização (ligar com outros blocos)
3. Custo
4. Desempenho
  1. Confiabilidade
  2. Velocidade
  3. Tamanho

## NECESSIDADE de PROTEÇÃO AMBIENTAL nos ENCAPSULAMENTOS ELETRÔNICOS

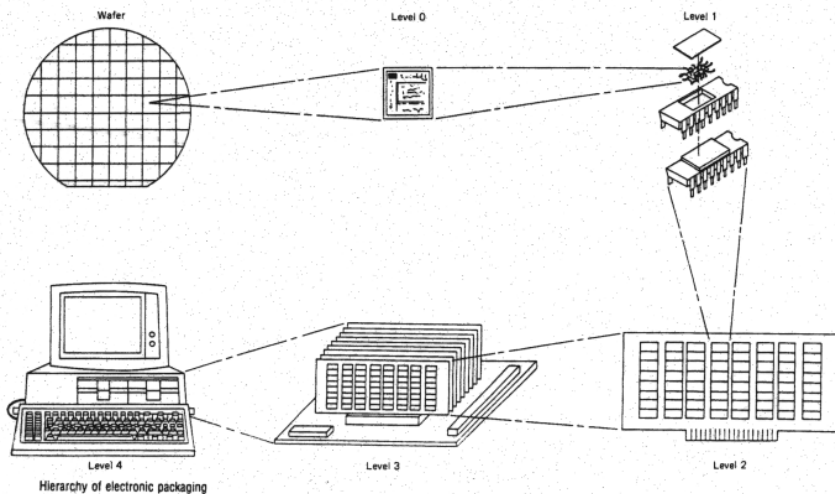


- É necessário tomar cuidados para proteger empacotamentos eletrônicos, placas de Circuito impresso e componentes individuais contra:
  1. Sujeira
  2. Poeira
  3. Umidade
  4. Contaminantes Iônicos ( $K^+$ ,  $Na^+$ )
  5. Radiações de Partículas Alfa
  6. Interferência Eletromagnética (EI)
  7. Ambientes hostis

# MODULARIZAÇÃO DO ENCAPSULAMENTO ELETRÔNICO (hierarquia)

- Nível 0 - "Dies" (Pastilha de silício)
- Nível 1 - A nível de "CHIP"
- Nível 2 - A nível de Circuito impresso
- Nível 3 - A nível de arranjo de C. Impresso
- Nível 4 - A nível de Sistema

# HIERARQUIA DO ENCAPSULAMENTO ELETRÔNICO



# ENCAPSULAMENTO de DISPOSITIVOS BÁSICOS

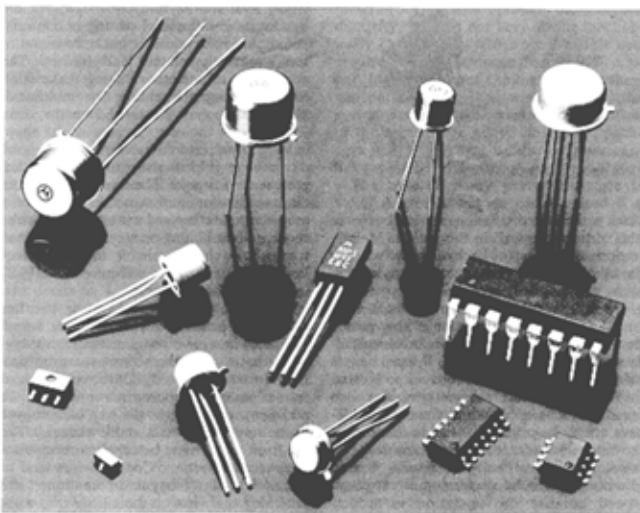
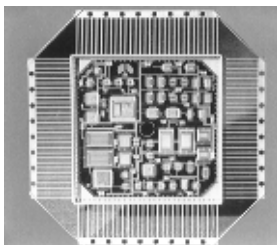
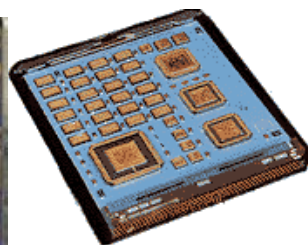
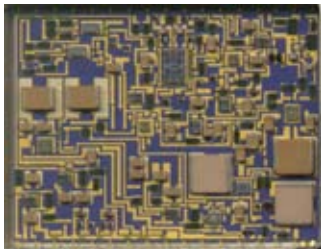
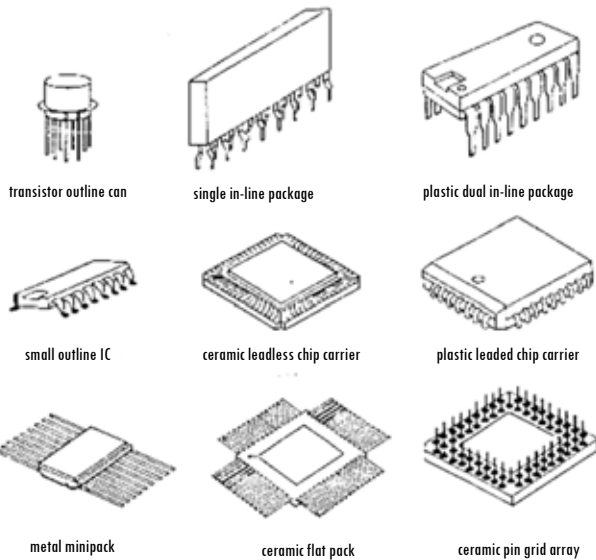


Fig. 2 Several metal-bodied small-signal packages, along with some plastic-bodied parts for size comparison

# ENCAPSULAMENTOS ATUAIS



# ENCAPSULAMENTOS TÍPICOS



Exemplos de encapsulamentos de CIs (nível 1)

# EVOLUÇÃO dos ENCAPSULAMENTOS

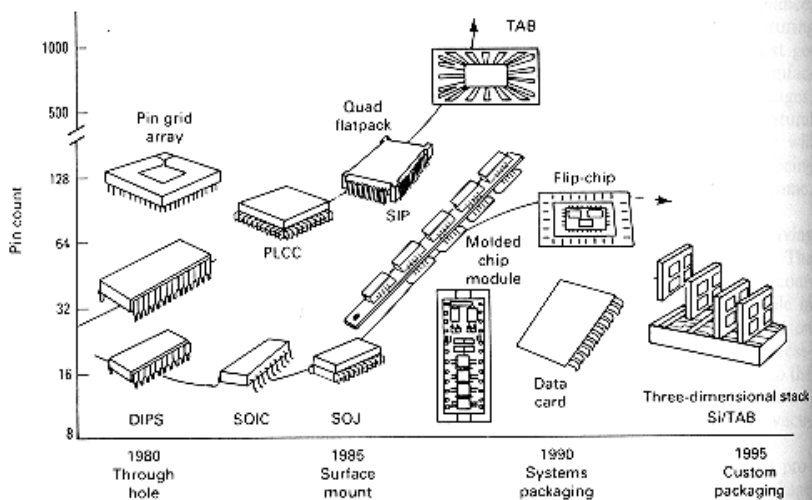
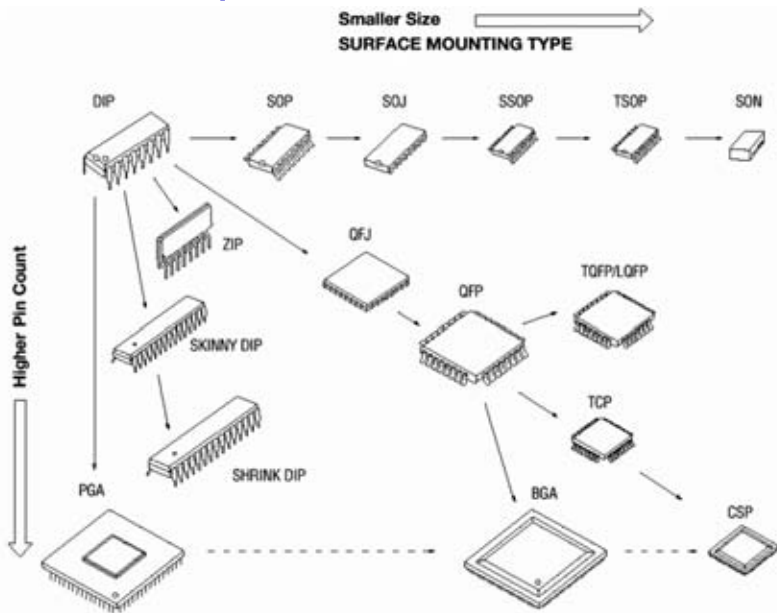
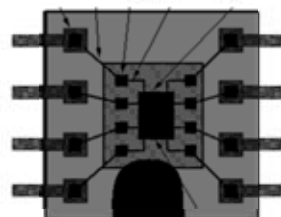
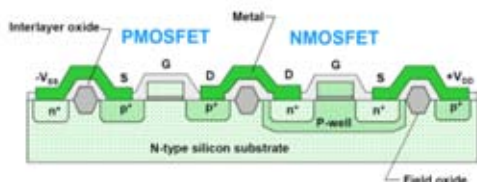
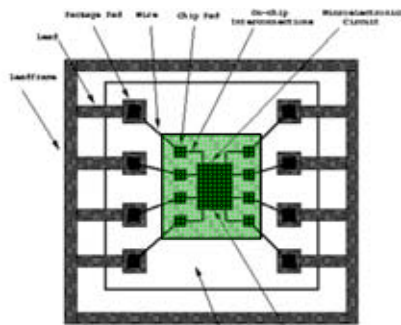
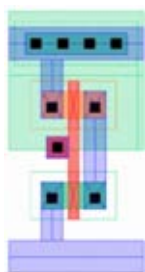
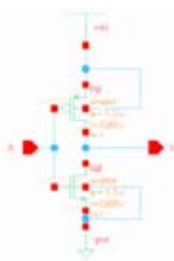


Fig. 1 Semiconductor packaging road map

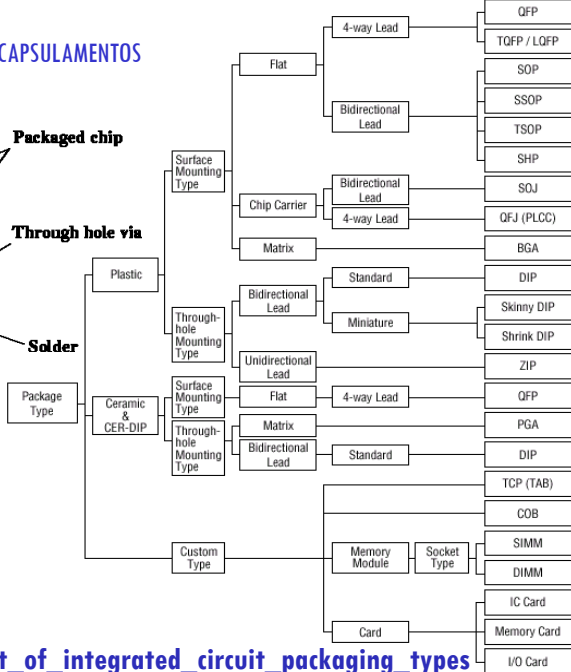
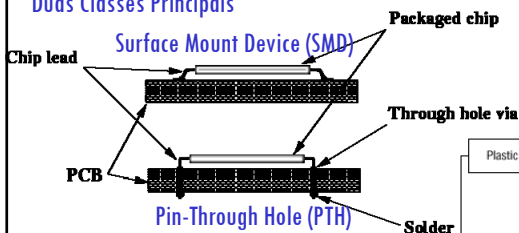


## TOPOLOGIA de INTERCONEXÕES no CHIP



# CLASSIFICAÇÃO BÁSICA DOS ENCAPSULAMENTOS

Duas Classes Principais





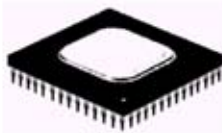
[http://en.wikipedia.org/wiki/List\\_of\\_integrated\\_circuit\\_packaging\\_types](http://en.wikipedia.org/wiki/List_of_integrated_circuit_packaging_types)

# ENCAPSULAMENTOS DE FURO PASSANTE (PIN THROUGH HOLE - PTH)


1) Through-hole mounting type package

Type	Package Types		Package Symbol	Pin Count	Package Name	
Through-hole Mounting Type Plastic	DIP	Standard		RS	8, 14, 16, 18, 20, 22, 24, 26, 32, 36, 40, 42, 48	Dual In-line Package
		Skinny		RS	20, 22	Skinny Dual In-line Package
		Shrink		SS	30, 42, 64	Shrink Dual In-line Package
		ZIP		ZS	20, 24, 28, 40	Zigzag In-line Package


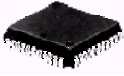



# ENCAPSULAMENTOS DE FURO PASSANTE (PIN THROUGH HOLE - PTH)

Type	Package Types		Package Symbol	Pin Count	
Through-hole Mounting Type	Ceramic	Standard DIP		AS	14, 16, 18, 20, 22, 24, 28, 40, 42, 48
		CER-DIP		AS	8, 14, 16, 18, 22, 24, 28, 32, 40, 42
		PGA		AS	73* <sup>2</sup> , 88, 121* <sup>2</sup> , 133* <sup>2</sup> , 177* <sup>2</sup> , 209* <sup>2</sup> , 257* <sup>2</sup> , 301* <sup>2</sup> , 325* <sup>2</sup> , 401* <sup>2</sup> , 572* <sup>1</sup>

# ENCAPSULAMENTOS DE MONTAGEM EM SUPERFÍCIE

Type	Package Types		Package Symbol	Pin count	Package Name
Surface Mounting Type	Plastic	SOP	MS	8, 16	Small Out-line L-Leaded Package
			GS	24, 28, 32, 40, 44	
		SSOP	MS	20	Shrink Small Out-line L-Leaded Package
			GS	28, 30, 32, 60, 64, 70	
			GS-B	60	
		TSOP (TypeI)		TS	32, 40* <sup>1</sup>
	TSOP (TypeII)	26/20, 26/24, 28/24, 28, 44/40, 44, 48, 50/44, 50, 70/64, 70			
		QFP			44, 56, 60, 64, 80, 100, 128, 136, 144, 160, 176, 208, 240, 272, 304
	Ceramic	QFP	GS-2	44, 56	Quad Flat L-Leaded Package with Heat Sink
			GS-B	64, 80, 100	Quad Flat L-Leaded Package with Heat Spreader
			GS	144, 208	Quad Flat L-Leaded Package with PCB High Speed
			GS-C	208	Quad Flat L-Leaded Package with PCB High Speed
			GS-E	208* <sup>1</sup>	Quad Flat L-Leaded Package with PCB High Speed
TQFP	TS	44, 48* <sup>1</sup> , 64, 80, 100, 120	Thin Quad Flat L-Leaded Package		
LQFP	GS	144, 176, 208	Low Profile Quad Flat L-Leaded Package		



Type	Package Types	Pack Symbol	Pin Count	Description	
	SOJ		JS (SJ)	26/20, 26/24, 28/24, 28, 32, 36, 40, 42, 50	Small Out-line J-Leaded Package
	QFJ (PLCC)		JS	18, 20, 22, 28, 32, 44, 68, 84	Quad Flat J-Leaded Package
	BGA		LS	256, 352	Ball Grid Array
	SHP		GS	32	Surface horizontal Package
	CSP				Chip Scale Package

## Chip Scale Package

International Technology Roadmap for Semiconductors - ITRS 2011

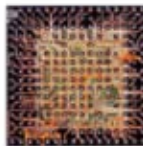
Fan-Out  
Molded  
Area

Fan-Out WLP



(a)

Graphic courtesy of ASE

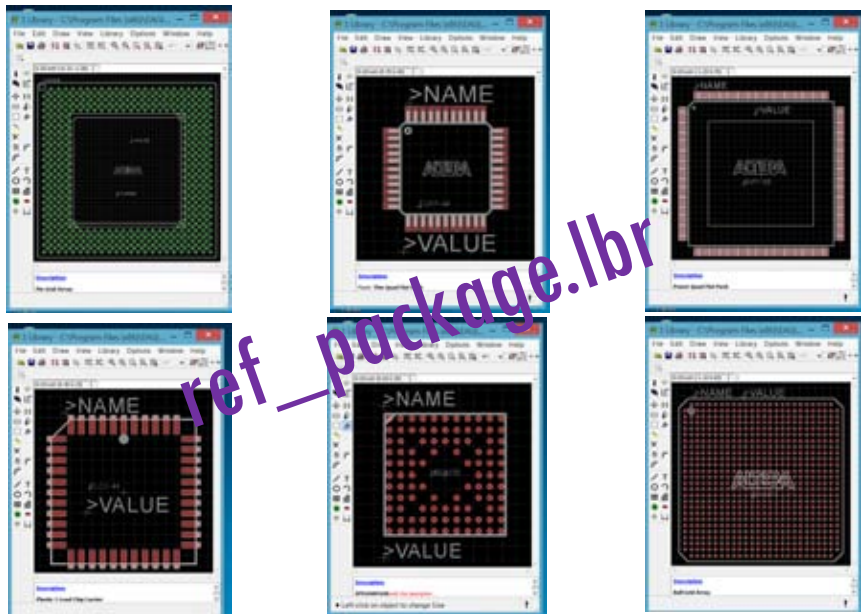


(b)

Graphic courtesy of Infineon

Figure AP14: Example of a Side-by-Side Solution of a Fan-Out WLP

# Observando Encapsulamentos no EAGLE



## REQUISITOS PARA UM ENCAPSULAMENTO ELETRÔNICO

1. VELOCIDADE
  1. Velocidade de Propagação (Chip-Chip) alta (Retardos Baixos)
  2. Largura de banda elevada (Frequência. de trabalho elevada)
2. NUMERO DE PINOS E "WIREABILITY"
  1. Alto N°. de Pinos de I/O por Chip
  2. Alto N°. de Conexões de I/O entre 1º e 2º Nível
  3. Grande N°. de Conexões
3. TAMANHO
  1. Tamanhos Compactos
4. RUÍDO
  1. Linhas de Transmissão de qualidade (Z<sub>o</sub> alto e R baixo)
  2. Baixo "Cross Talk"
  3. Distribuição de energia com (L alto e R baixo)
  4. Evitar "spikes" de ligação e ter baixas quedas IR
5. CARACTERÍSTICAS TÉRMICAS E MECÂNICAS
  1. Alta remoção de Calor
  2. Acoplamento dos Coeficientes de Expansão Térmica entre "Dice" e "Chip Carrier"
  3. Resistência a vibrações e Stress Mecânico
6. TESTE CONFIABILIDADE E CUSTO
  1. Fáceis de Fabricar e Testar
  2. Fáceis de Modificar e Consertar
7. ALTA CONFIABILIDADE
8. BAIXO CUSTO

# FATORES MECÂNICOS, ELÉTRICOS E TÉRMICOS

- Estes fatores são de grande importância , já que afetam diretamente a confiabilidade de um encapsulamento diminuindo muito sua durabilidade:

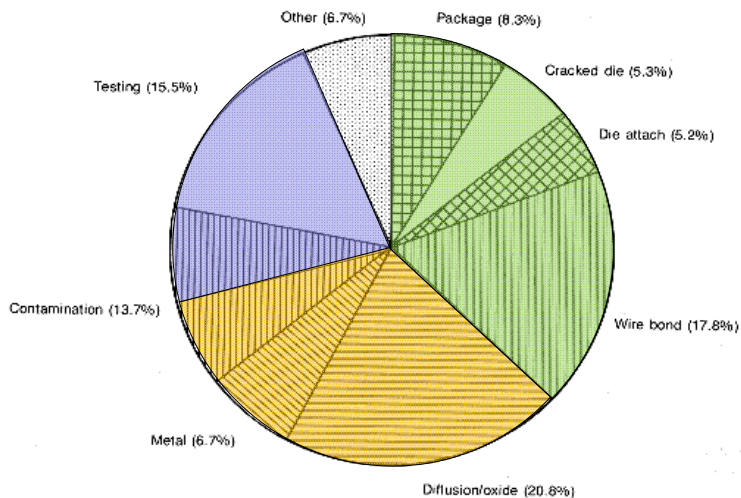
1. Fatores Mecânicos
  1. Tensões de origem Mecânica
  2. Tensões de origem Térmica
2. Fatores Térmicos
  1. Dissipação Térmica
  2. Indução de tensões elétricas
  3. Indução de tensões mecânicas
3. Fatores Elétricos
  1. Velocidade
  2. Ruído
  3. Qualidade de Interconexões
  4. Distribuição de Energia
4. Fatores Ambientais
  1. Proteção do empacotamento contra ambientes externos hostis

# FALHAS TERMICAMENTE INDUZIDAS

1. FALHA NAS JUNÇÕES DOS TRANSISTORES
  - Quando o calor produzido num Chip não é dissipado convenientemente, a Temperatura na junção do transistor eleva-se podendo resultar numa ruptura térmica da junção P-N.
2. DEFORMAÇÕES ELÁSTICAS OU PLÁSTICAS EXCESSIVAS
  - Podem causar deslocamentos, quebras de fios ou filmes no empacotamento
3. FALHA DE RUPTURA DÚCTIL
  - Surge quando deformações plásticas resultam em reduções progressivas da seção (soldas)
4. FALHA DEVIDO A CHOQUE TÉRMICO
  - Acontece quando altos gradientes de  $T_0$  produzem níveis elevados de tensão que ultrapassam os limiares elásticos ou de fratura do material usado
5. FALHA DE FADIGA
  - Falha resultante da aplicação de cargas flutuantes ou deformações cíclicas durante um período de tempo (vida de fadiga) no empacotamento
6. FALHA DE “CREEP”
  - Surge quando as deformações plásticas num material, são mantidas sob influência de tensões e  $T_0$  , resultam em alterações inaceitáveis nas dimensões do componente

outras...

## INCIDÊNCIA de FALHAS em CI's



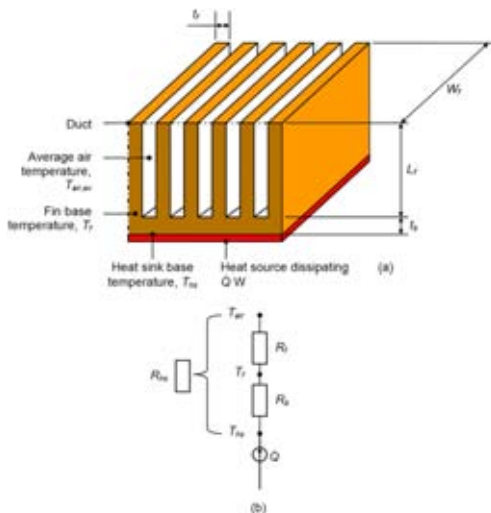
**Fig. 2** Breakdown of 15 years of field experience of IC failure, over 55% of which is associated with the package or assembly process

## CONTROLE TÉRMICO DOS ENCAPSULAMENTOS

### • OBJETIVOS:

- Manter as  $T_o$  das junções de todos os componentes abaixo dos níveis máximos permitidos
- Administrar a diferença de  $T_o$  de junção entre componentes
- Administrar diferenças de  $T_o$  entre membros estruturais do arranjo
- Quando implementada corretamente, uma boa administração térmica pode:
  - Estender a vida dos componentes além da vida projetada.
  - Manter a operação do dispositivo sem flutuações induzidas por temperatura excessiva.
  - Aumentar as velocidades de chaveamento já que a temperatura de operação é reduzida nos dispositivos semicondutores.
  - Aumentar a eficiência térmica dos componentes passivos .

- O processo de administração térmica pode ser dividido em três fases principais:
  - Transferência de calor dentro do encapsulamento do componente semicondutor.
  - Transferência de calor do encapsulamento até o dissipador de calor.
  - Transferência de calor do dissipador de calor até o meio ambiente.



## TÉCNICAS DE CONTROLE TÉRMICO

1. RESFRIAMENTO DO CHIP
  - Uso de Propagador de calor (Al)
  - Uso de materiais cerâmicos de alta condutividade térmica (AlN, BeO, SiC)
  - Uso de encapsulamento rebaixado para diminuição do caminho térmico
  - Uso de dissipador de calor para reduzir resistências térmicas convectivas
2. RESFRIAMENTO DA PLACA
  - Melhoria da condutividade térmica da placa
  - Trocador de calor com ar
  - Trocador de calor com líquidos
3. RESFRIAMENTO DE PLACAS MULTI-CHIP
  - Trocadores de calor com ar e H<sub>2</sub>O
4. OUTROS ESQUEMAS
  - Resfriamento por imersão
  - Resfriamento criogênico

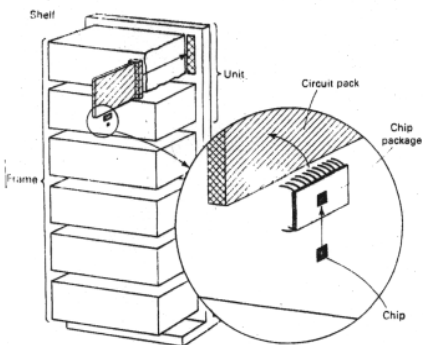
# NOVAS TÉCNICAS de CONTROLE TÉRMICO

- A pressão por novas ferramentas de controle térmico, tem gerado novas técnicas como as seguintes:
  - Utilização de materiais de alta condutividade térmica.
  - Utilização de tubulações no substrato (Heat pipe) para escoamento de calor.
  - Utilização de materiais Compósitos.
  - Combinação de materiais para blindagem de EMI e controle térmico.
  - Adoção de materiais de interface que reduzem as resistências térmicas.
  - Colagem direta a substratos de alta condutividade térmica.
  - Utilização de técnicas MEMS para escoamento térmico no substrato ou no próprio chip.

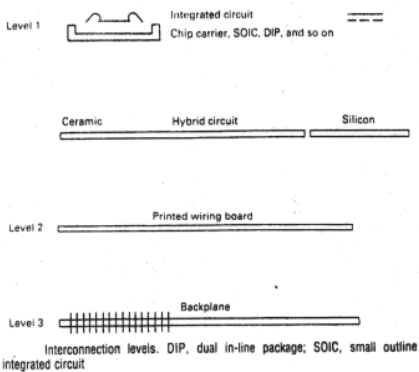
# CARGAS MECÂNICAS DINÂMICAS QUE AFETAM A CONFIABILIDADE DO ENCAPSULAMENTO

1. Vibração
2. Aceleração e Choque
3. Ruído Acústico
4. Variações abruptas de Pressão

# NÍVEIS DE INTERCONEXÃO



Packaging and interconnecting of electronics in equipment frames



# Anotações



## Fabricando um Chip Tradicional (Wire Bonding)

## EVOLUÇÃO dos ENCAPSULAMENTOS de CHIPS



1970's: Through Hole



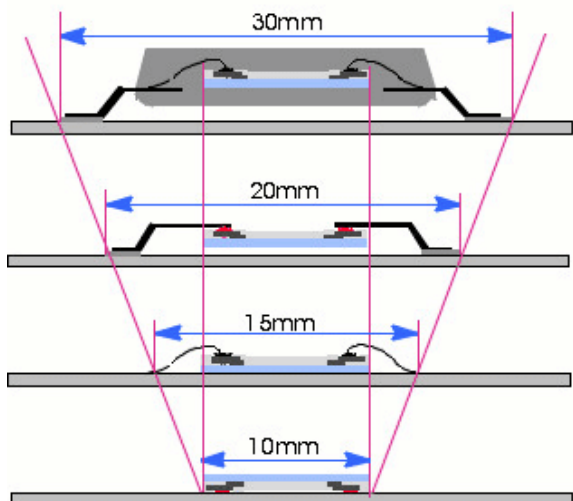
1980's: Surface Mount



1990's: Chip-On-Board



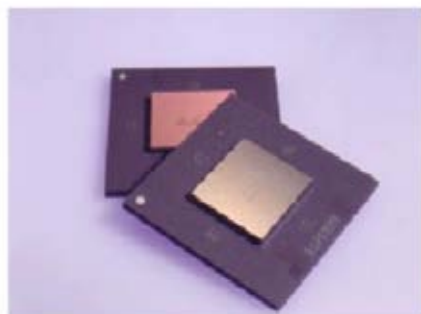
## DIMINUIÇÃO de ÁREA



Type	Area
<b>QFP</b>	900mm <sup>2</sup> 100%
<b>TAB</b>	400mm <sup>2</sup> 44%
<b>COB</b>	225mm <sup>2</sup> 25%
<b>Flip Chip</b>	100mm <sup>2</sup> 11%

## MÉTODOS DE ENCAPSULAMENTO

- Encapsulamentos Plásticos
- Encapsulamentos Metálicos
- Outros tipos de Encapsulamento (Flip Chip, COB)



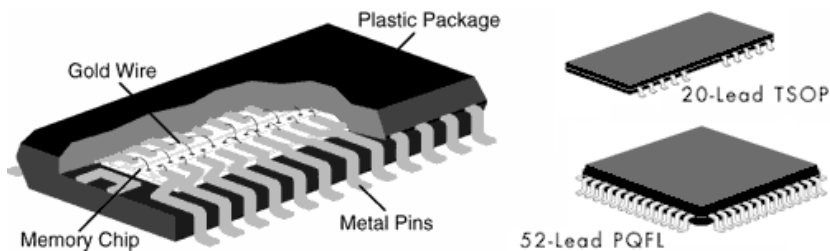
• Ceramic Ball Grid Array



• Plastic Ball Grid Array

# ENCAPSULAMENTO USANDO PLASTICO TERMOSENSÍVEL MOLDADO

- Este encapsulamento é muito popular
- Apresenta problemas de Confiabilidade
- Permite realizar "Through Hole", SMD, PGA, TAB e BGA
- Alguns Tipos implementados:
  - DIP (Dual In Line)
  - PLCC (Plastic Leaded Chip Carrier)
  - QFP (Quad Flat Pack)
  - SOP (Small Outline Packages)
  - BGA (Ball Grid Array)



## SEQÜÊNCIA de MONTAGEM de ENCAPSULAMENTOS PLÁSTICOS

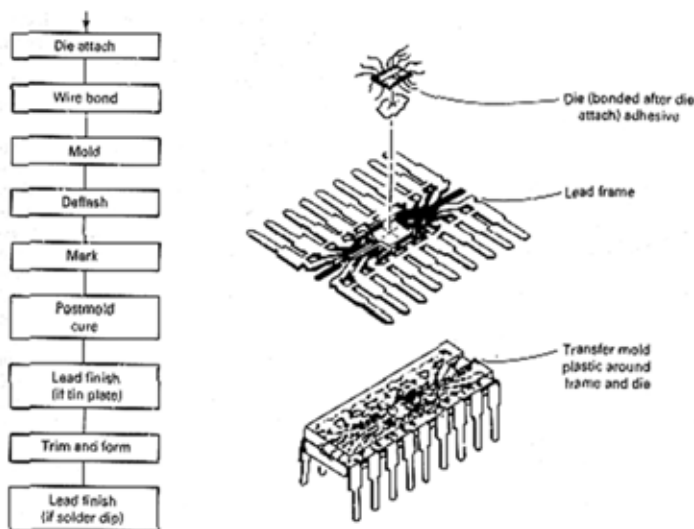
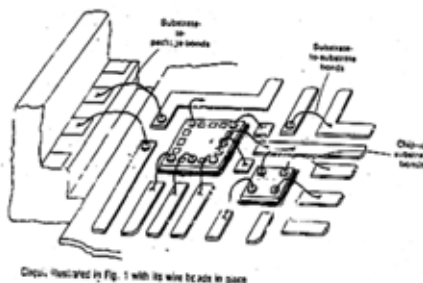
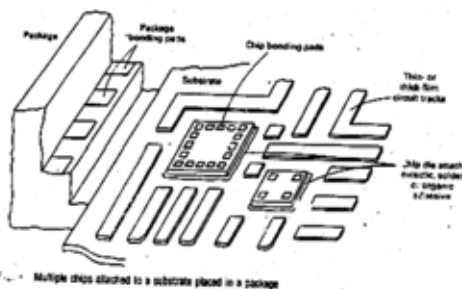
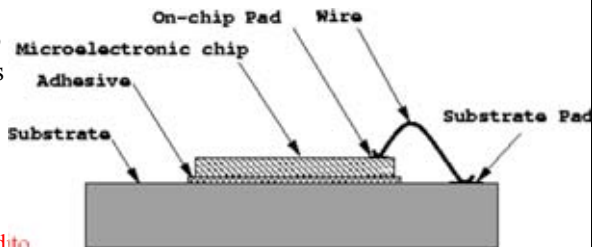


Fig. 7 Assembly sequence for plastic postmolded dual-in-line package. The lead frame serves as the chip carrier after die bond and wire bond.

- O Encapsulamento do "Die" no nível *do Chip* constitui-se pelos seguintes processos:

- Corte da Lâmina
- Colocação do "Die"
- Colagem do "Die"
- Encapsulamento propriamente dito



## SEQUÊNCIA DE FABRICAÇÃO

- Lead Frame
  - Liga Metálica Estampada
  - Espessura Típica de 250  $\mu$ m
  - CETmetal  $\approx$  CETsilício
  - Condutividade Térmica  $\uparrow$
- Posicionamento e "Die Attach"
  - Usa colagem eutética (Au-Si)
- Interconexão elétrica por "Wire Bonding"
  - Fios de 25-38  $\mu$ m de Au
- Moldagem de Transferência com Polímeros Termossensíveis
  - 1-Fusão do Encapsulante
  - 2-Fluxo do encapsulante no Molde
  - 3-Endurecimento
- Cura do Polímero
- Formação dos Terminais

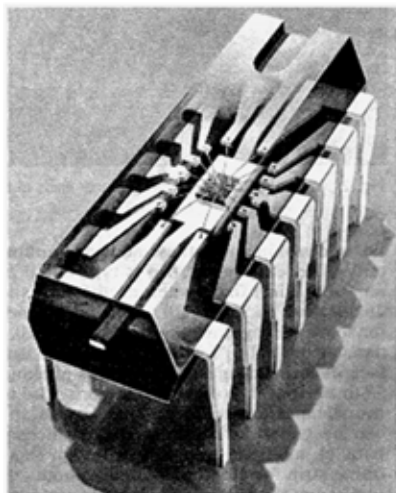
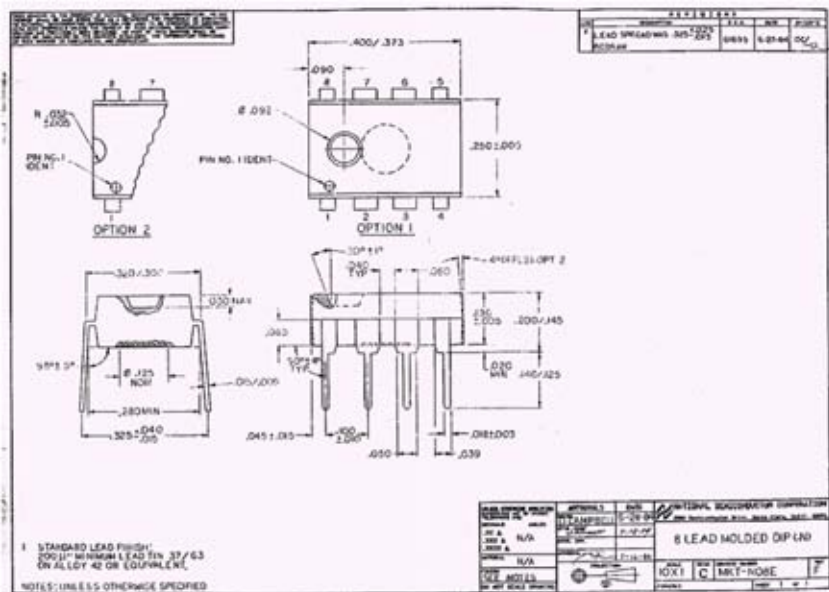


Fig. 1 View of lead frame positioning in postmolded nonhermetic package showing wire interconnects from chip to inner leads of lead frame

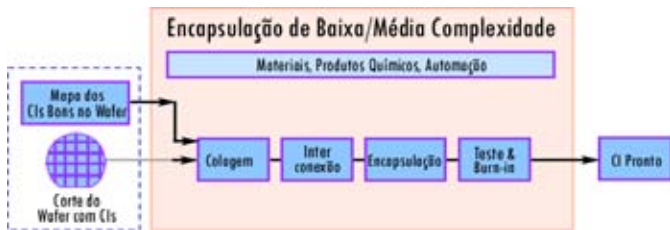
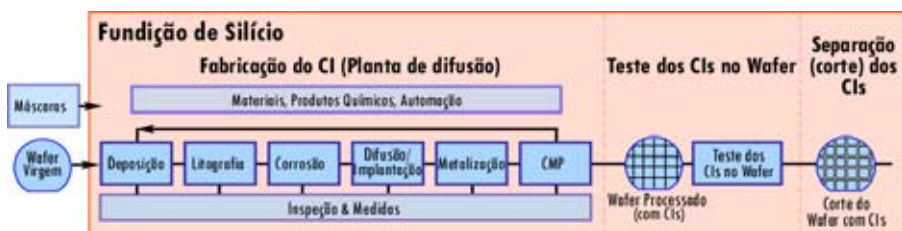


- **Eletromigração** : Movimento de átomos metálicos dentro do metal com o resultado do impacto dos elétrons pelo fluxo de corrente, ocasionando rupturas, acumulações e curtos circuitos entre as metalizações de alumínio do C.I.
- **Rupturas devidas ao "Stress"** : São rupturas em condutores de filme fino associadas geralmente a "stress" de origem térmico.
- **Efeitos Químicos nas metalizações de Al** : Estes efeitos são reações entre do alumínio com vidros (Fosfossilicatos) em encapsulamentos plásticos e cerâmicos, devido a umidade e falhas da camada de passivação.
- **Ruptura do oxido** : Em transistores tipo MOS o oxido pode romper devido a altos gradientes de campo elétrico.
- **"Hot Carriers"** : Podem ser injetados no oxido dos MOS, mudando o  $V_t$  do transistor, reduzindo sua transcondutância e produzindo falhas.
- **Radiação** : Partículas alfa ou beta podem produzir suficientes pares elétron - lacuna para induzir os chamados "Soft errors"
- **Descargas Eletrostáticas** : São descargas originadas por cargas eletrostáticas introduzidas nos dispositivos por pessoas ou dispositivos carregados.

## DIMENSÕES TÍPICAS de um ENCAPSULAMENTO PLÁSTICO



# Transformando a Lâmina em um Chip Encapsulado



- Die attach
- Wire bond
- Mold
- Dehatch
- Mark
- Formmold
- Trim
- Lead finish (if in plate)
- Trim and form
- Lead finish (if solder dip)

# Cortando os CHIPS: A LÂMINA de SILÍCIO Transformando a Lâmina em um Chip Encapsulado

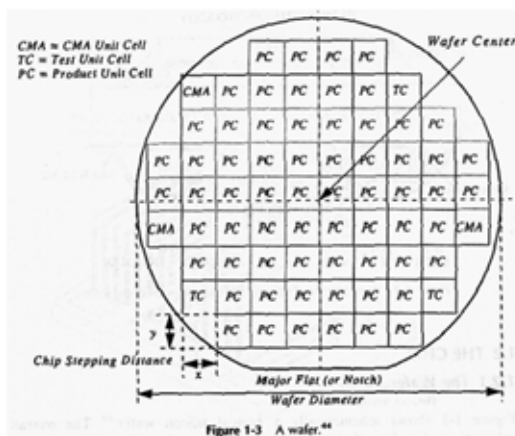
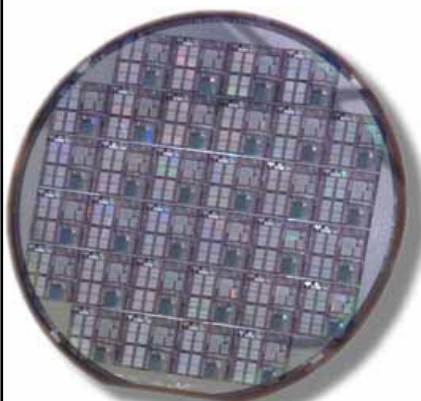
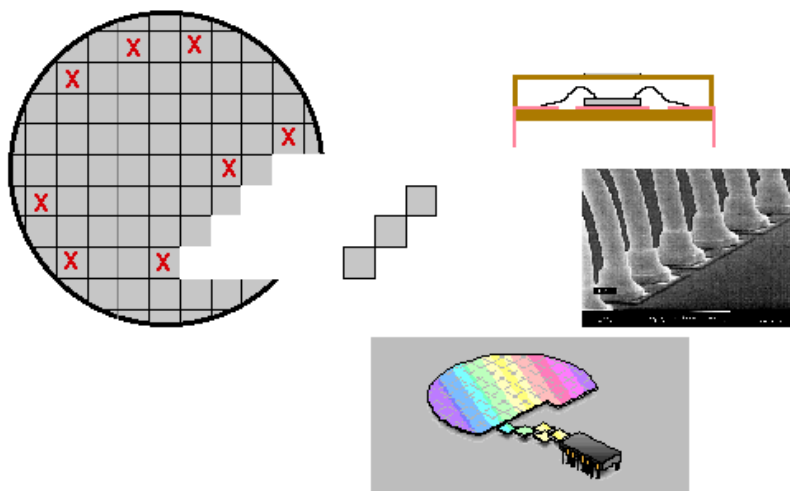


Figure 1-3 A wafer.<sup>44</sup>

# Transformando a Lâmina em um Chip Encapsulado

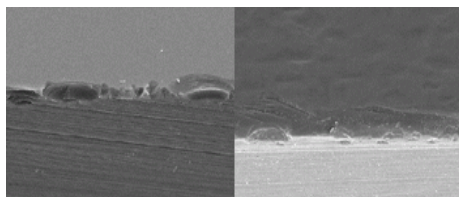
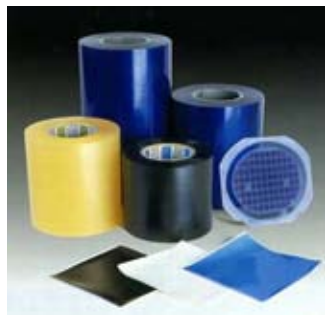
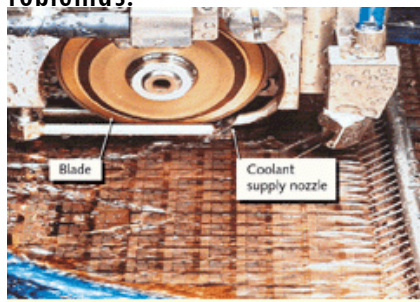


## CORTANDO (DICING) LÂMINAS de SILÍCIO

1. Corte com LASER de  $\text{CO}_2$
2. Corte Mecânico usando serras

—Um disco abrasivo de diamante girando entre 30K —60K RPM realiza o corte, sobre fitas adesivas de PVC

### •Problemas:

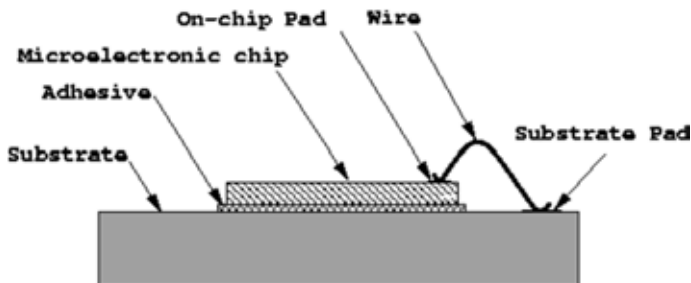
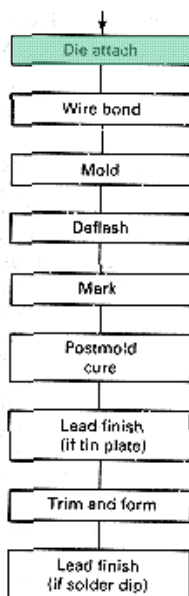


Figures 1a and 1b. SEM photos show a) Top-side chipping (TSC), which occurs on the top of the wafer, and b) back-side chipping (BSC), which occurs on the bottom surface of the wafer.

## PARÂMETROS PRINCIPAIS do PROCESSO DE “DICING”

- Taxa de alimentação ou velocidade de corte: é a velocidade na qual a lâmina é alimentada à serra, para lâminas (wafers) de 2,1 mil de espessura a velocidade de corte típica é de 2.5 a 3.5 in/sec.
- Rotação da serra: corresponde à rotação em RPM do eixo da serra que pode variar de 3,000 a 60,000 RPM.
- Velocidade de superfície: é definida como sendo a taxa linear de percurso no ponto de contato com a lâmina (wafer).
- Altura da lâmina da serra: se refere à altura da serra sobre um plano de referência ( wafer chuck table). Uma altura típica é de 1 a 1.5 mil que permite cortar a lâmina (wafer) completamente.
- Controle de temperatura da serra: realiza-se através de bicos injetores de fluido refrigerador, este controle melhora significativamente a precisão e vida da serra.
- Seleção da serra e recobrimento tomando em conta: tamanho, espessura, tipo de abrasivo, etc.

## COLANDO O CHIP (“DIE ATTACH”)





## COLANDO O CHIP (“DIE ATTACH”)

- **MÉTODOS PRINCIPAIS**
  - Com Polímeros
  - Com solda Eutética
  - Através de Vidro
  - Através de Vidro + Prata
  - Com Solda
  
- Uma máquina de “Die Attach” ou “Die Bonder” constitui-se por:
  - Sistema de manejo de molduras (leadframes)
  - Um módulo de “Pick-up and Place”
  - Sistema de “Dispensing” (aplicação do adesivo)



Equipamento para “Die Attach”

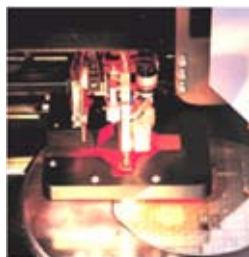
## COLANDO “DIES” USANDO POLÍMEROS

- Este processo é muito usado atualmente devido ao desempenho dos materiais usados desde o ponto de vista de parâmetros do processo como tempo de cura, tempo de ciclo e qualidade geral.
  - Se usam para encapsulamentos do tipo: BGAs, quad flat packs (QFPs), plastic leaded chip carriers (PLCCs) e SOICs.
  - Método de baixo custo
  - Usam-se Poliimididas com Ag e “Epoxies”
  - As temperaturas de cura são de aprox. 100 °C no ar
  - Usa-se “Dipping” ou serigrafia para a deposição
  - Em altas temperaturas estes materiais degradam-se
  - Em ambientes úmidos estes materiais degradam-se

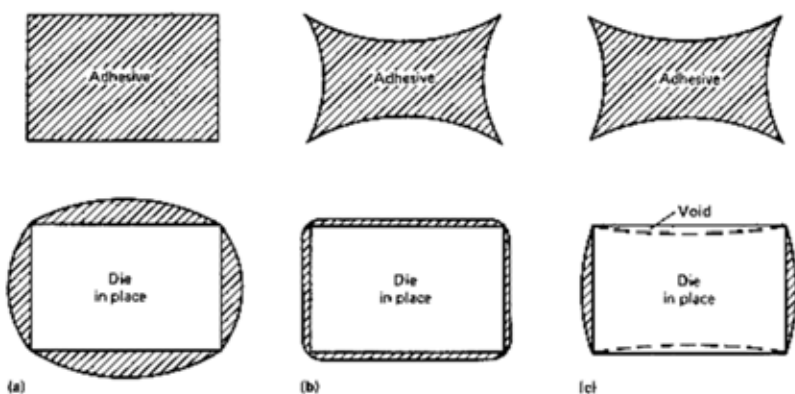


## COLANDO O "DIE"

- A colocação de "Dies" segue os seguintes passos, comandados pelo sistema de "Pick and Place":
  - Reconhecimento do substrato usando fiduciais, locais ou Globais
  - Recolhimento do "Die" de forma individual ou conjunta
  - Imageamento e correção de ângulo
  - Posicionamento do "Die"

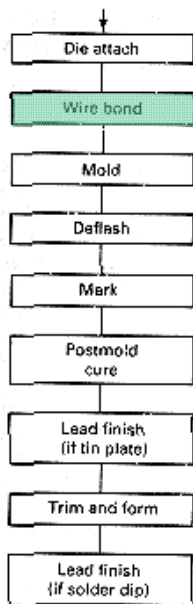


## PROBLEMAS na COLOCAÇÃO do ADESIVO



**Fig. 4** Die attach adhesive dispensed by a stamping tool. (a) Too much material. (b) Correct amount. (c) Too little material

# “WIRE BONDING”



# “WIRE BONDING”

–Existem dois tipos principais de “Wire Bonding”:

- “Ball Bonding” ou Sistema Bola-Cunha
- “Wedge Bonding” ou Sistema Cunha-Cunha

–Máquinas totalmente automáticas permitem alta produção

–Os parâmetros são controlados, as propriedades mecânicas dos fios são extremamente repetitivas

–A velocidade pode chegar a 100-125 ms por interconexão

–A distância entre fios chega a 50  $\mu\text{m}$  e o “loop” a 40  $\mu\text{m}$

–São usados em principalmente em dispositivos “Chip on Board”, Cerâmicos, BGA's e plásticos

–Seu baixo custo é devido a:

- O Die não requer modificações
- Os equipamentos usados são de tecnologia conhecida e ampla infraestrutura

–Custos de engenharia são minimizados

–Para um número de interconexões I/O maior que 500 esta técnica se torna difícil de ser aplicada

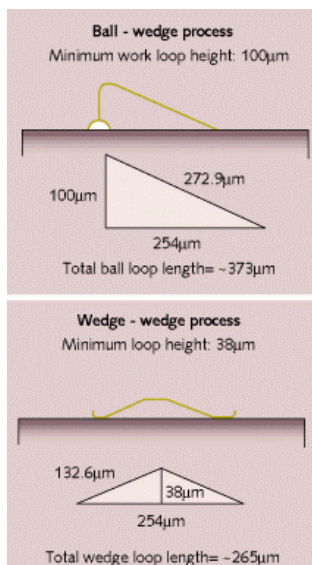


Figure 6. Ball and wedge bond loop shapes and wire lengths.

# CARACTERÍSTICAS do “WIRE BONDING”

Table 1-1. Three wirebonding processes.

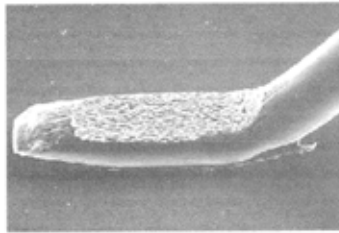
Wirebonding	Pressure	Temperature	Ultrasonic energy	Wire	Pad
Thermocompression	High	300-500 °C	No	Au,	Al, Au
Ultrasonic	Low	25 °C	Yes	Au, Al	Al, Au
Thermosonic	Low	100-150 °C	Yes	Au	Al, Au

Table 1-2. Wirebond formation.

Wirebond	Bonding technique	Bonding tool	Wire	Pad	Speed
Ball bond	T/C, T/S	Capillary	Au	Al, Au	10 wires/sec (T/S)
Wedge bond	T/S, U/S	Wedge	Au, Al	Al, Au	4 wires/sec



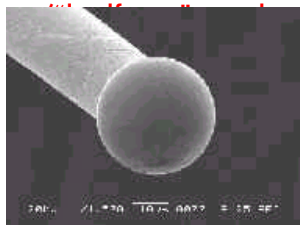
Ball bond



Wedge bond

## “BALL BONDING” (Bola-Cunha)

A vantagem do “ball bonding” constitui-se na seção redonda do capilar que permite dobras do fio em qualquer ângulo, viabilizando assim o posicionamento do fio em qualquer direção usando-se somente movimentos X-Y. O processo de “ball bonding” consiste na formação de uma primeira solda, tipo bola (ball), no “pad” situado no “die”, seguida de uma segunda solda, tipo cunha (wedge), no terminal correspondente do encapsulamento



Bola livre

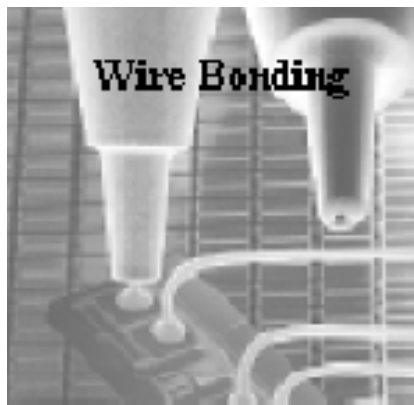


Primeira Solda

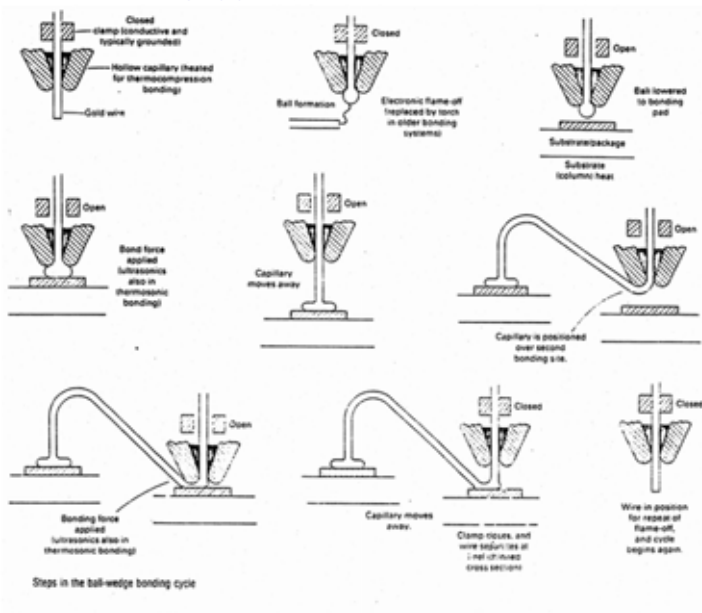


Segunda Solda

Antes de realizar a operação o sistema de visão do “Bonder” identifica duas regiões na superfície do “Die” previamente “ensinadas” (eye points). Quando o sistema de reconhecimento de padrões (PRS) do “Bonder” localiza os dois “eye points”, a máquina está habilitada a transformar os locais de soldagem que foram originalmente “ensinados”, corrigindo-os para as variações de locação em cada dispositivo.



## PROCESSO de “BALL BONDING”



## CAPILARES para “BALL BONDING”

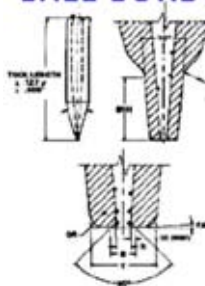
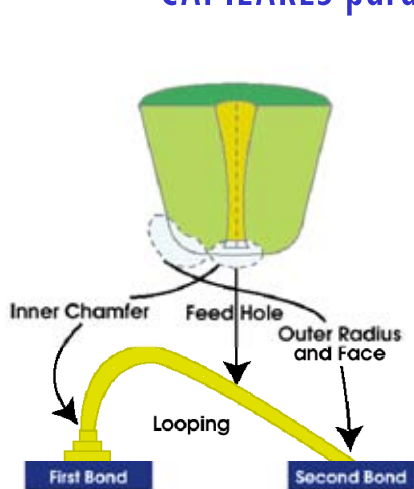
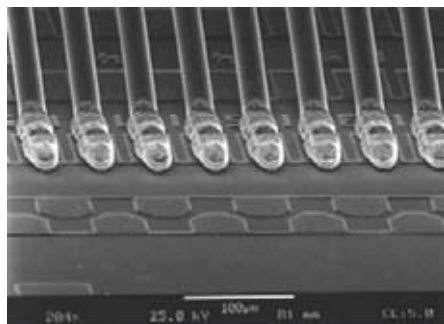
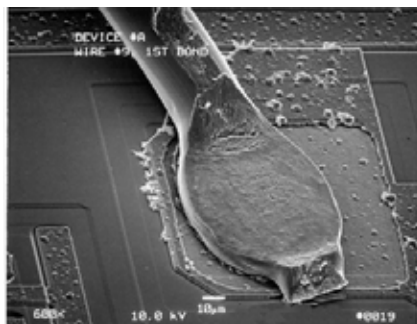


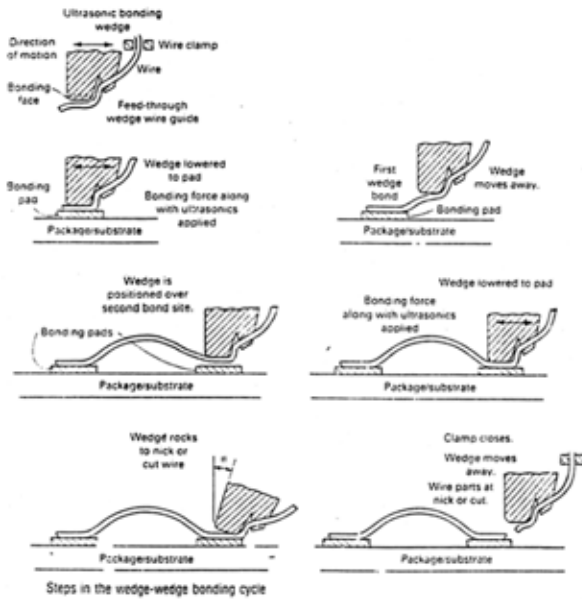
Figure 2. Capillary features and their general effects on the bonding process.

## “WEDGE BONDING” (Cunha-Cunha)

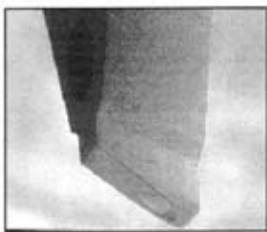
Solda tipo “Wedge” sempre permitiu a capacidade de diminuição do “pad pitch”, pois a solda pode ser realizada deformando o fio com 25 a 30 % além de seu diâmetro original. Comparativamente a formação “ball bond” implica numa deformação de 60 a 80 % de seu diâmetro original. Como a solda é menor, o “pad pitch” pode ser diminuído quando comparado com a técnica de “Ball bonding”.



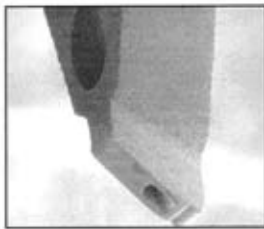
# PROCESSO de "WEDGE BONDING"



# FERRAMENTA para "WEDGE BONDING"



Wedge for Al wire wedge bonding



Wedge for Au wire edge bonding

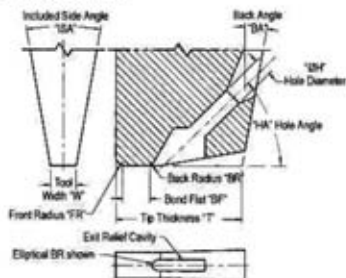


Figure 1 - Basic wedge features

# FATORES LIMITANTES do "WIRE BONDING"

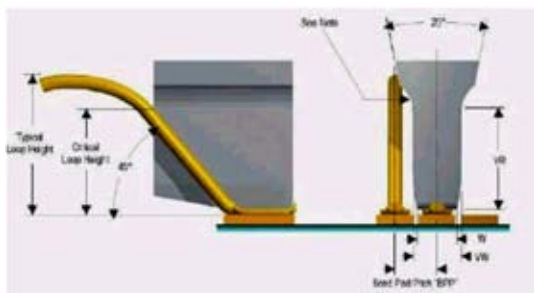
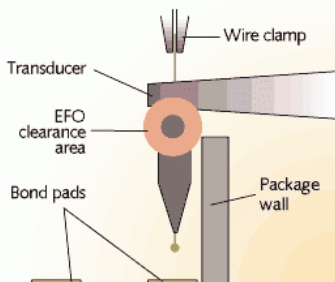
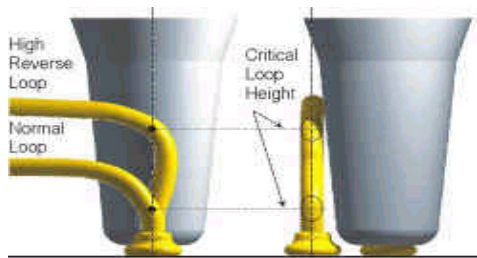
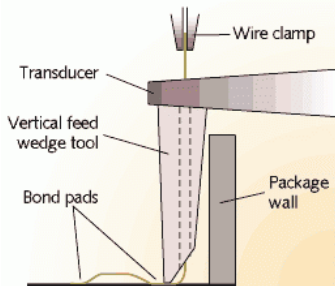


Figure 5. Wedge (left) and ball bond (right) package access.

# FALHAS no "WIRE BONDING"

## • ABERTURA DE CRATERAS NO PAD

- Muita energia ultra-sônica
- Muita ou pouca força na cunha
- Bolas de tamanho pequeno

## • FRATURA E LEVANTAMENTO DO FIO

- Utilização de ferramentas inadequadas
- Vibração excessiva durante a soldagem
- Deformação excessiva durante a soldagem
- Movimentação rápida da ferramenta

## • TERMINAÇÕES INCONSISTENTES

- Caminho do fio sujo
- Ângulo de alimentação incorreto
- Grampos sujos ou com força e "gap" incorretos
- Tensão de fio incorreta

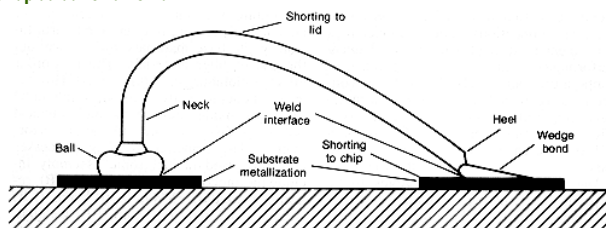


Fig. 1 Wire bond problems



# FALHAS de CONFIABILIDADE no “WIRE BONDING”

- Formação de intermetálicos
- Descolamento da soldagem
- Corrosão na região de soldagem
- Corrosão nos terminais
- Migração metálica
- Fadiga por vibração
- Fadiga flexural do fio
- Ruído elétrico
- Quebra de fios

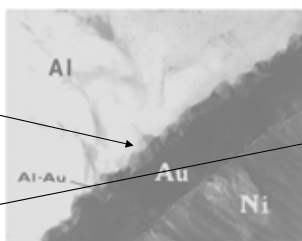


Fig. 7

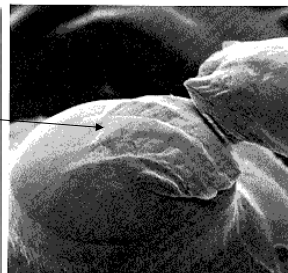
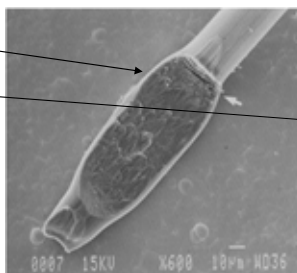


Fig. 6 Scanning electron microscope photograph of fatigue fracture of a bond wire. 1275x

## MATERIAIS USADOS em FIOS para “WIRE BONDING”

- Al
  - Usado como metal puro, não fornece fios finos
- Al + 1 % de Si
  - Material padrão para “Wire Bonding” 1% de Si excede a solubilidade sólida de Si em Al.
- Al + 0,5%-1% Mg
  - Equivalente ao anterior mas apresenta melhores características mecânicas
- Au
  - Muito usado com algumas impurezas (Be, Cu) pode melhorar algumas características mecânicas da ligação
- Outros materiais usados
  - Ag, Cu, Pd

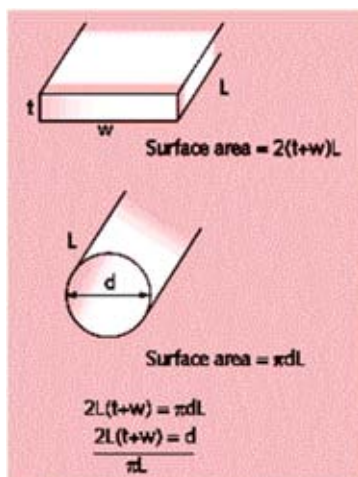
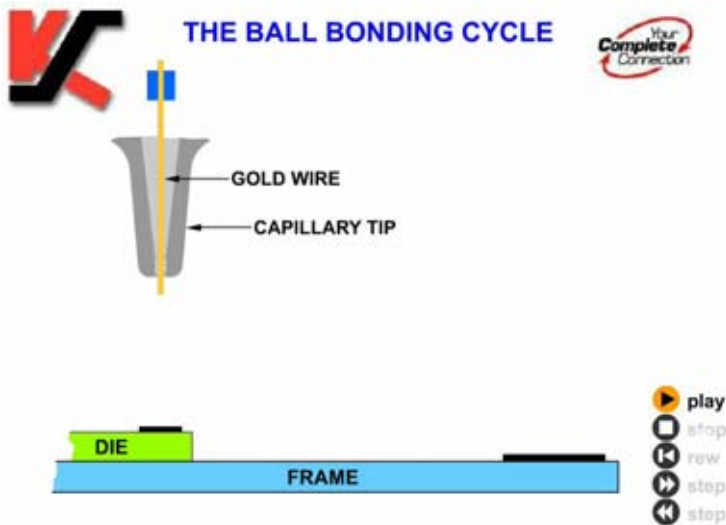


Figure 8. Surface area comparison of ribbon and round wire.



# Ball Bonding



## SEQUÊNCIA DE FABRICAÇÃO DO CHIP

- Lead Frame
  - Liga Metálica Estampada
  - Espessura Típica de 250  $\mu$ m
  - CETmetal  $\approx$  CETsilício
  - Condutividade Térmica  $\uparrow$
- Posicionamento e "Die Attach"
  - Usa colagem eutética (Au-Si)
- Interconexão elétrica por "Wire Bonding"
  - Fios de 25-38  $\mu$ m de Au
- Moldagem de Transferência com Polímeros Termossensíveis
  - 1-Fusão do Encapsulante
  - 2-Fluxo do encapsulante no Molde
  - 3- Endurecimento
- Cura do Polímero
- Formação dos Terminais

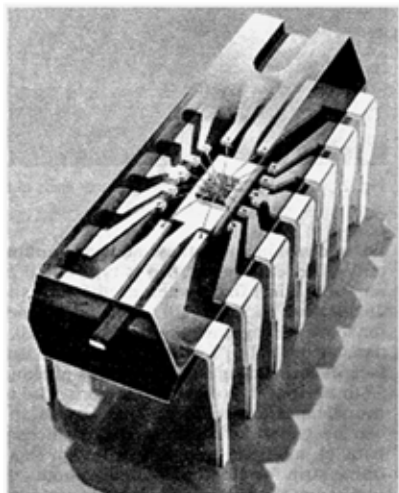
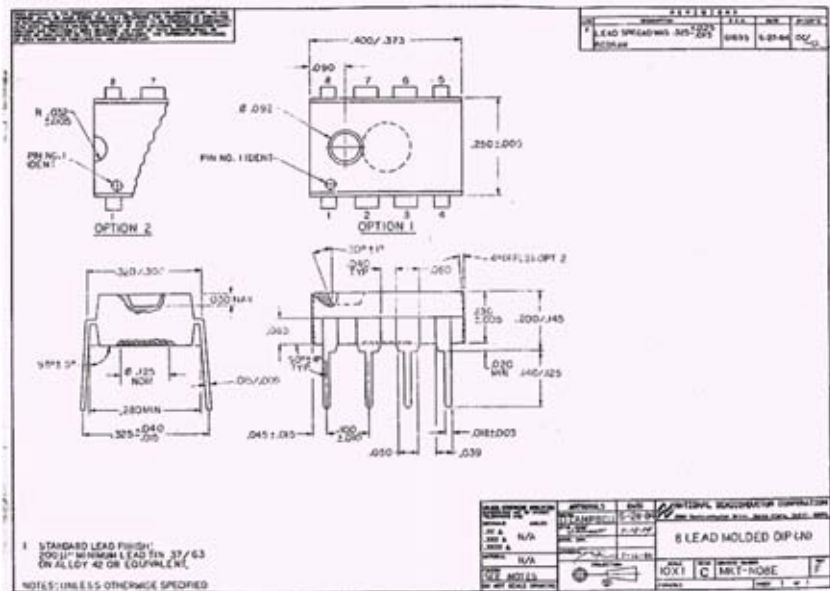


Fig. 1 View of lead frame positioning in postmolded nonhermetic package showing wire interconnects from chip to inner leads of lead frame

# DIMENSÕES TÍPICAS de um ENCAPSULAMENTO PLÁSTICO



## TIPOS de ENCAPSULAMENTOS PLÁSTICOS

Plastic Small Outline Transistor  
(SOT-23)



•SOT-23

- Encapsulamento para montagem em superfície
- Configuração de terminais tipo "Asa de gaveta"
- Terminal com acabamento para solda
- Encapsulamento moldado

Plastic Small Outline Package  
(SOP)



Narrow Body

•SOP

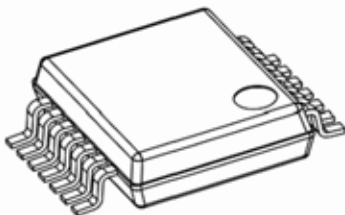
- Encapsulamento para montagem em superfície
- Configuração de terminais tipo "Asa de gaveta"
- Terminal com acabamento para solda
- Encapsulamento moldado
- Encapsulamentos tipo EIAJ e JEDEC
- Pegada compatível com SOIC



Wide Body

# TIPOS de ENCAPSULAMENTOS PLÁSTICOS (cont.)

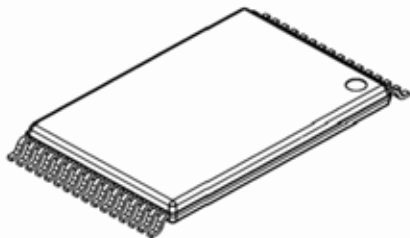
Plastic Shrink Small Outline Package  
(SSOP)



## •SSOP

- Encapsulamento para montagem em superfície
- Configuração de terminais tipo “Asa de gaivota”
- Terminal com acabamento para solda
- Encapsulamento moldado
- Encapsulamentos tipo EIAJ e JEDEC

Plastic Thin Small Outline Package, Type I  
(TSOP)

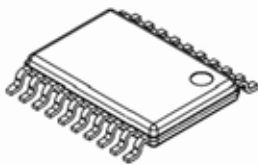


## •TSOP

- Encapsulamento para montagem em superfície
- Configuração de terminais tipo “Asa de gaivota”
- Terminal com acabamento para solda
- Encapsulamento moldado
- Encapsulamentos tipo EIAJ

# TIPOS de ENCAPSULAMENTOS PLÁSTICOS (cont.)

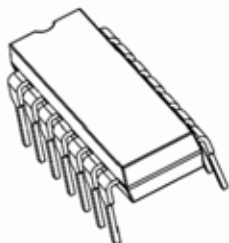
Plastic Thin Shrink Small Outline Package  
(TSSOP)



## •TSSOP

- Encapsulamento para montagem em superfície
- Configuração de terminais tipo “Asa de gaivota”
- Terminal com acabamento para solda
- Encapsulamento moldado
- Encapsulamentos tipo EIAJ

Molded Dual-In-Line Package  
(MDIP)

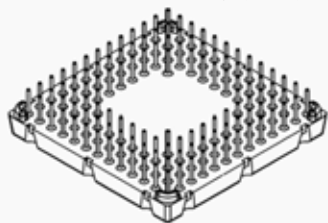


## •MDIP

- Encapsulamento para furo passante
- Terminal com acabamento para soldagem o mergulhamento
- Encapsulamento moldado
- Pegada compatível com CERDIP

# TIPOS de ENCAPSULAMENTOS PLÁSTICOS (cont.)

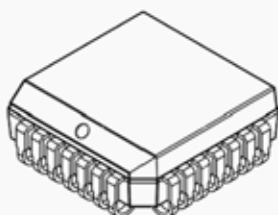
Plastic Pin Grid Array (PPGA)



## •PPGA

- Encapsulamento para furo passante
- Terminal com acabamento para solda DIP
- Encapsulamento moldado
- Pegada compatível com CPGA

Plastic Leaded Chip Carrier (PLCC)



## •PLCC

- Encapsulamento para montagem em superfície
- Configuração de terminais tipo J
- Terminal com acabamento para solda
- Encapsulamento moldado
- Pegada compatível com LCC e CQJB

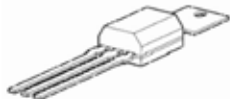
# TIPOS de ENCAPSULAMENTOS PLÁSTICOS (cont.)

TO-92



- Through Hole Package
- Solder Plate Lead Finish
- Molded Plastic Package

TO-202



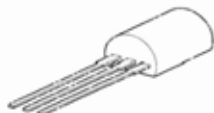
- Through Hole Package or Chassis Mounting
- Solder Plate Lead Finish
- Molded Plastic Package

TO-220



- Through Hole Package or Chassis Mounting
- Solder Plate Lead Finish
- Molded Plastic Package
- Designed with Heat Sink for High Power Applications

TO-226



- Through Hole Package
- Solder Plate Lead Finish
- Molded Plastic Package

TO-237



- Through Hole Package
- Solder Plate Lead Finish
- Molded Plastic Package

# MATERIAIS e COMPONENTES para ENCAPSULAMENTOS PLÁSTICOS

- **MATERIAL IDEAL:**
  - Alta pureza sem contaminantes de Cl ou Na
  - Adesão em Si, passivação e "lead frame" excelente
  - Pouca adesão à superfície do molde
  - Impermeabilidade
  - Baixa absorção de umidade
  - Rigidez suficiente para proteger o encapsulamento
  - Baixo CET
  - Baixo módulo de Elasticidade
  - Resistência ao Calor para suportar operações de solda
  - Baixo Custo
- **COMPONENTES TÍPICAS**
  - **Resina Epoxy**
    - Resina básica
    - (Resinas Fenólicas e Epoxy Novolac)
  - **Endurecedor**
    - Resina para produção de ligações cruzadas no material
    - (Fenois, Amino, Acido Anidrido)
  - **Reforçador**
    - Modifica CET e/ou Condutividade Térmica
    - (Silica fundida)
  - **Aditivos**
    - Ajuste de especificações, cor, etc.
    - (Bisfenóis, Orgânicos com Bromo e Negro de Fumo)
  - **Catalizadores**
    - Aumenta a reação das ligações cruzadas
    - (Poliaminas)

# ENCAPSULAMENTOS CERÂMICOS

- **Vantagens:**
  - Alto grau de confiabilidade
  - Isolação hermética do "DIE"
  - Selamento total
  - Melhora as características elétricas
  - Melhora a dissipação térmica
  - Melhora a integridade mecânica do encapsulamento
- **Desvantagens:**
  - Custo superior
- **Tipos de encapsulamentos cerâmicos**
  - "Trough Hole" furo passante
    - PGA (Pin Grid Array)
    - DIP
  - **Montagem em superfície**
    - SOT (Small Outline)
    - CQF (Ceramic Quad Flatpack)
    - LCC (Leaded Chip Carrier)
    - LLCC (Leadless Chip Carrier)



## SEQUÊNCIA de MONTAGEM de ENCAPSULAMENTOS CERÂMICOS

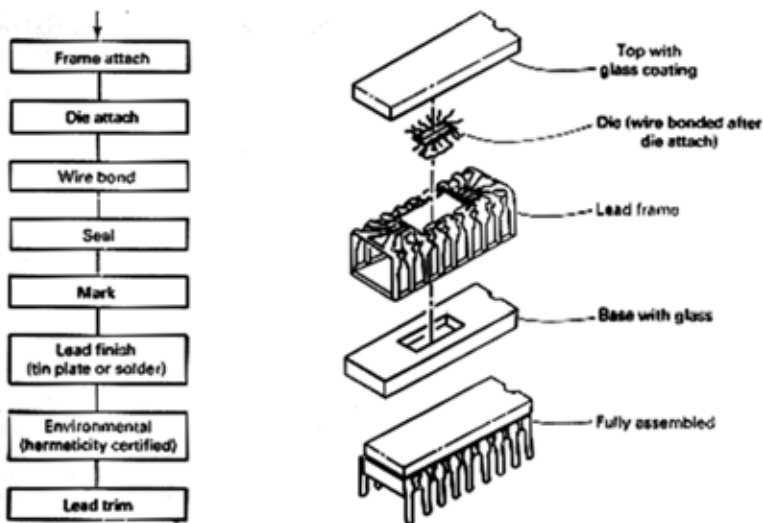


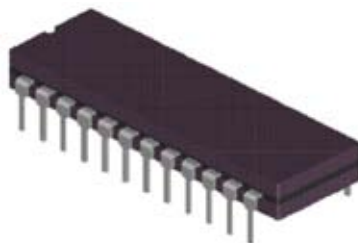
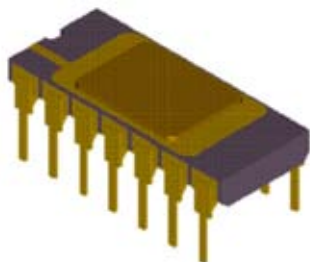
Fig. 8 Assembly sequence for ceramic dual-in-line packages. Base and top components come already glass coated with glass for lead frame sink and seal.

## ENCAPSULAMENTOS CERÂMICOS

- O encapsulamento cerâmico mais popular é o CERDIP:
  - Consiste numa base cerâmica (alumina) com uma cobertura de vidro, o arranjo de terminais e uma capa cerâmica adequada
- Encapsulamento cerâmico típico tipo DIP

–Multilayer Sidebrazed

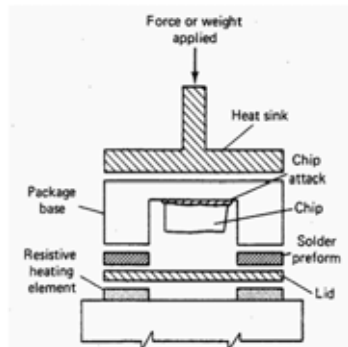
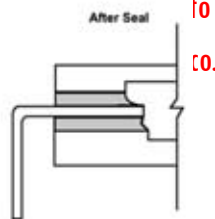
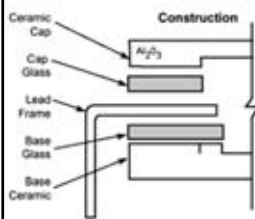
CERDIP



# PROCESSO DE FABRICAÇÃO DO ENCAPSULAMENTO CERÂMICO

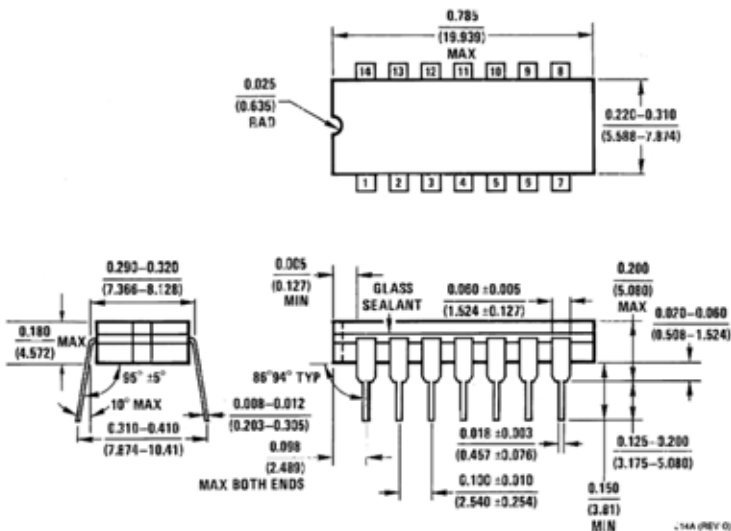
- Base cerâmica + Arranjo de terminais
- Colocação do "DIE" (encaixado + colagem eutética)
- "Wire Bonding"
- Selamento térmico com prensagem a quente (420-460 °C) em atmosfera oxidante

## • Pre-forma de Vidro ou solda



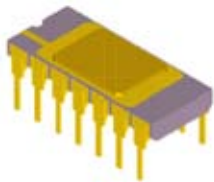
# DIMENSÕES TÍPICAS de um ENCAPSULAMENTO CERÂMICO

## 14 Lead Ceramic Dual-in-Line Package NS Package Number J14A

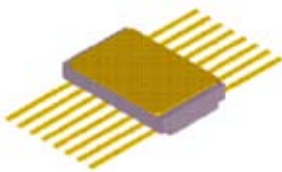


# ALGUNS ENCAPSULAMENTOS CERÂMICOS

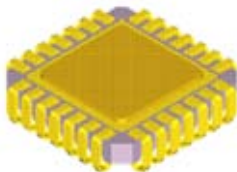
DIP Ceramic Multilayer



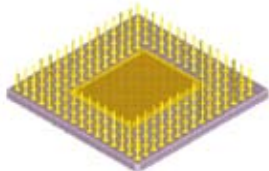
Ceramic FlatPack



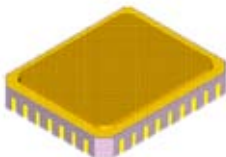
Ceramic Quad J Bend (LCC)



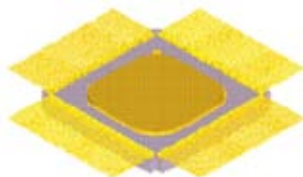
Ceramic Pin Grid Array



Ceramic Leadless Chip Carrier



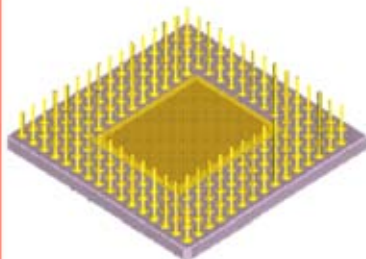
Ceramic Quad FlatPack



# PROCESSO MULTICAMADA para ENCAPSULAMENTOS CERÂMICOS

Co-Fire Multilayer Ceramic Process

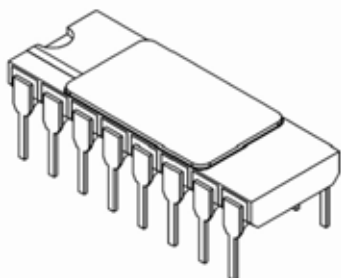
**PIN GRID ARRAY**





# TIPOS de ENCAPSULAMENTOS CERÂMICOS

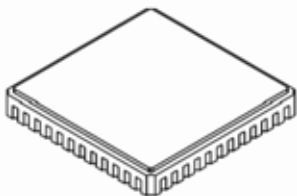
Ceramic Sidebraced Dual-In-line Package (SB)



•SB

- Encapsulamento para furo passante
- Terminal com acabamento para solda DIP
- Encapsulamento cerâmico multicamada
- Selagem com solda
- Pegada compatível com Cerdip e MDIP

Ceramic Leadless Chip Carrier (LCC)

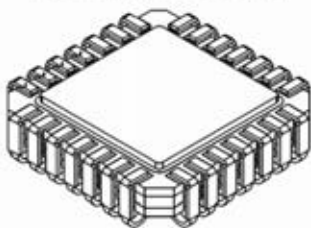


•LCC

- Encapsulamento para montagem em superfície ou em conector
- Configuração de terminais tipo Pad
- Terminal com acabamento para solda DIP
- Selagem com solda
- Pegada compatível com CQJB e PLCC

# TIPOS de ENCAPSULAMENTOS CERÂMICOS (cont.)

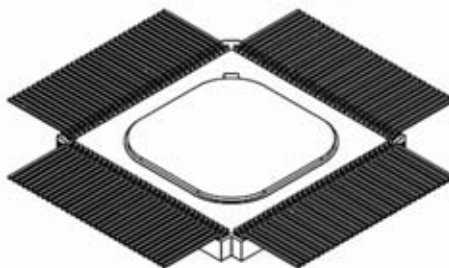
Ceramic Quad J-Bend (CQJB)



•CQJB

- Encapsulamento para montagem em superfície
- Terminal com acabamento em ouro
- Encapsulamento cerâmico multicamada
- Selagem com solda
- Pegada compatível com LCC e PLCC

Ceramic Quad Flatpack (CQFP)



•CQPF

- Encapsulamento para montagem em superfície
- Configuração de terminais retos
- Terminal com acabamento em ouro
- Selagem com solda
- Encapsulamento cerâmico multicamada

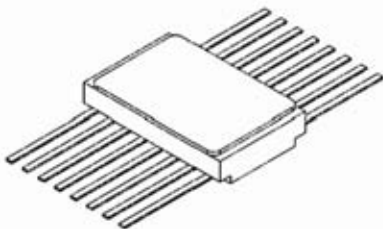
# TIPOS de ENCAPSULAMENTOS CERÂMICOS (cont.)



## Package Configuration

## Package Characteristics

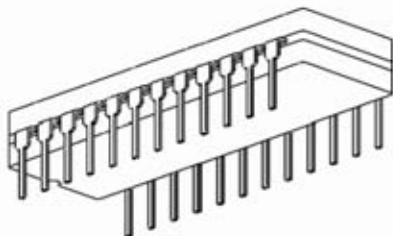
### Ceramic Flatpack



#### •CFP

- Encapsulamento para montagem em superfície ou furo passante
- Terminal reto
- Terminal com acabamento em ouro
- Encapsulamento cerâmico multicamada
- Selagem com solda
- Pegada compatível com CERDIP

### Ceramic Dual-In-Line Package (Cerdip)



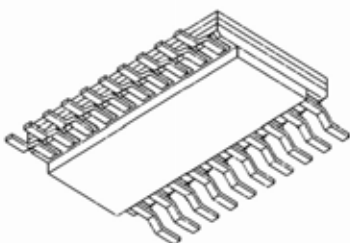
#### •CERDIP

- Encapsulamento para furo passante
- Configuração de terminais retos
- Terminal com acabamento solda DIP
- Selagem com vidro
- Encapsulamento cerâmico prensado
- Pegada compatível com SB e MDIP

# TIPOS de ENCAPSULAMENTOS CERÂMICOS (cont.)



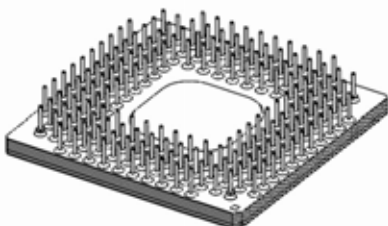
### Ceramic Small Outline Package



#### •CSOP

- Encapsulamento para montagem em superfície
- Terminal tipo "Asa de Gaivota"
- Terminal com acabamento em ouro
- Encapsulamento cerâmico multicamada
- Selagem com solda
- Pegada compatível com SOP

### Ceramic Pin Grid Array (CPGA)

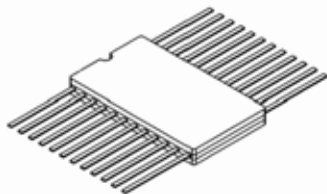


#### •CPGA

- Encapsulamento para furo passante
- Configuração de terminais retos
- Terminal com acabamento em ouro
- Selagem com solda
- Encapsulamento cerâmico multicamada
- Pegada compatível com PPGA

# TIPOS de ENCAPSULAMENTOS CERÂMICOS (cont.)

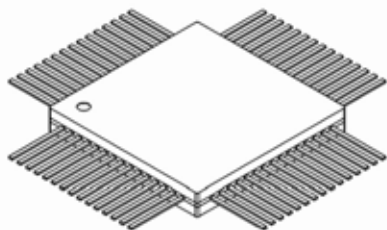
Cerpack



## •CERPACK

- Encapsulamento para montagem em superfície ou furo passante
- Terminal reto
- Terminal com acabamento em ouro
- Encapsulamento cerâmico prensado
- Selagem com vidro
- Pegada compatível com Flatpack

Cerquad

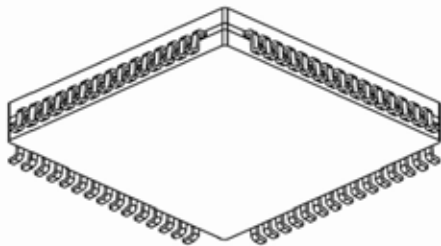


## •CERQUAD

- Encapsulamento para montagem em superfície
- Configuração de terminais retos
- Terminal com acabamento solda DIP
- Selagem com vidro
- Encapsulamento cerâmico prensado
- Pegada compatível com PQFP

# TIPOS de ENCAPSULAMENTOS CERÂMICOS (cont.)

Cerquad — EIAJ



## •CERQUAD-EIAJ

- Encapsulamento para montagem em superfície Terminal “Asa de Gaivota”
- Terminal com acabamento solda DIP
- Encapsulamento cerâmico prensado
- Selagem com vidro
- Pegada compatível com PQFP

TO-3  
Metal Can

## •TO3 Capa Metálica

- Encapsulamento para furo passante
- Terminal com acabamento solda DIP
- Selagem com selo de vidro comprimido
- Base de Metal ou Alumínio

# TIPOS de ENCAPSULAMENTOS CERÂMICOS (cont.)

**TO-5 and TO-39  
Metal Can**



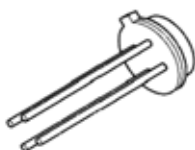
- Through Hole Package
- Solder Dip or Gold Plate Lead Finish TO-5
- Kovar Base
- Matched Glass Seal TO-39
- Kovar or Steel Base
- Matched or Compression Glass Seal

**TO-18  
Metal Can**



- Through Hole Package
- Solder DIP or Gold Plate Lead Finish
- Kovar Base
- Matched Glass Seal

**TO-46, TO-52 and TO-72  
Metal Can**



- Through Hole Package
- Solder Dip or Gold Plate Lead Finish
- Kovar or Steel Base
- Matched or Compression Glass Seal

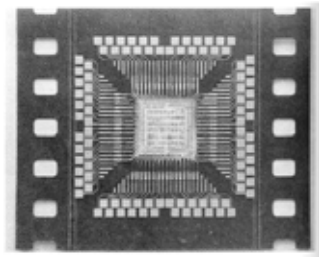
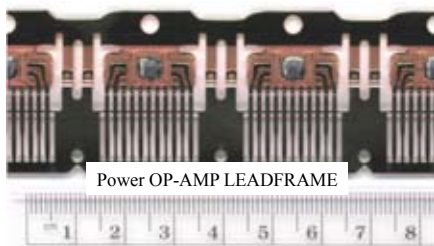
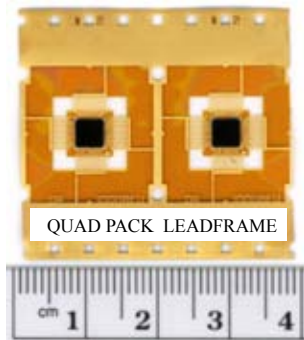
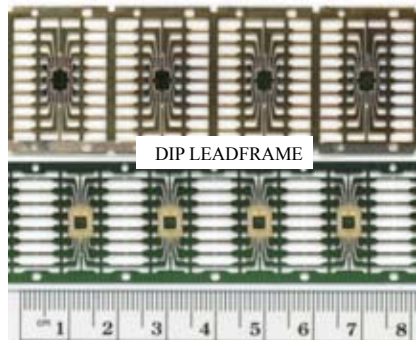
## Anotações

## TAB — Tape Automated Bonding

## TÉCNICA TAB “TAPE AUTOMATED BONDING”

- Esta técnica utiliza os chamados (Metal Lead Frames) molduras metálicas de terminais para estabelecer a interconexão elétrica entre o “DIE” e substrato, estas molduras vem em magazines parecidos a um filme de 35mm, permitindo facilmente a automação deste processo
  - TAB reduz o comprimento das interconexões
  - Elimina o uso de “Wire Bonding”
  - Fornece uma geometria mais precisa
  - Esta técnica diminui indutâncias e capacitâncias parasitas
  - Aumenta a velocidade do processo de fabricação
  - Aumenta o numero de terminais I/O
  - Permite um passo “bond pitch” de 0.08-0.12 mm
  - Diminui os custos de moldagem
  - O lead frame deve ser projetado para cada chip
  - Justifica-se somente para produção em grandes volumes

## MOLDURAS ou TAB "LEAD FRAMES"



## SEQUÊNCIA de PROCESSO TAB

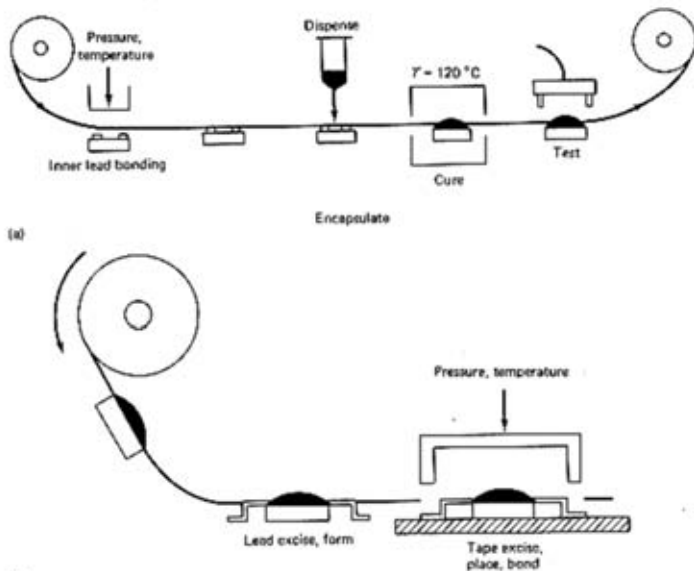
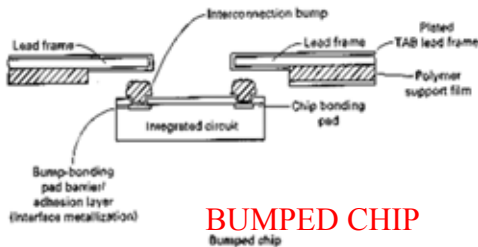


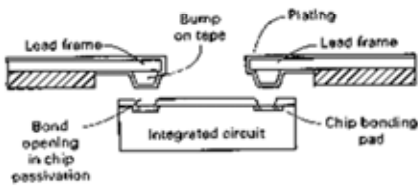
Fig. 8 TAB assembly process

# TIPOS BÁSICOS de "TAB"



## BUMPED CHIP

Fig. 16 Bumped chip and bumped tape technology



## BUMPED TAPE

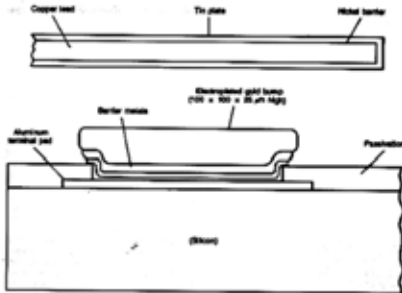


Fig. 1 Banded chip (bumped lead) TAB. Source: Ref 155, 156

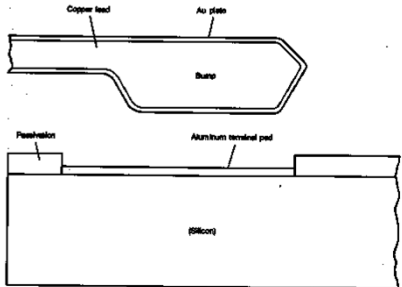


Fig. 2 Bumped tape (banded chip) TAB. Source: Ref 155, 156

# TRANSFERÊNCIA de "BUMPS" para "BUMPED TAPE"

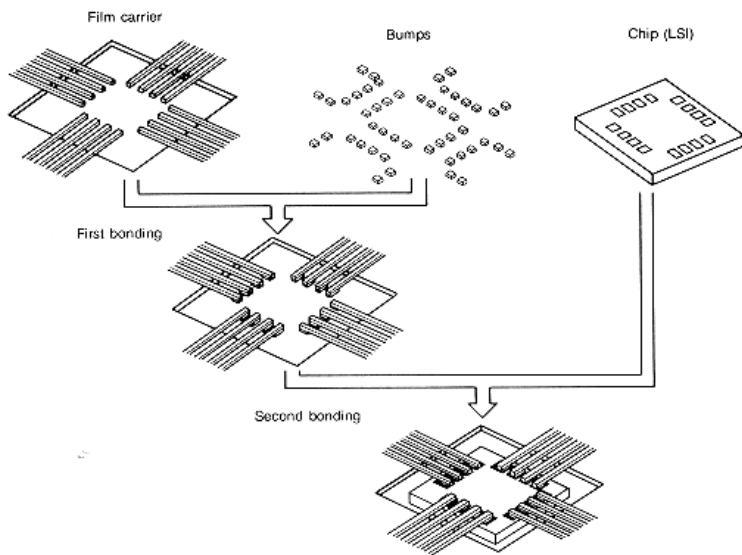
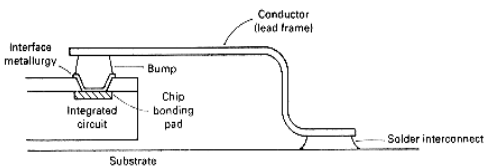
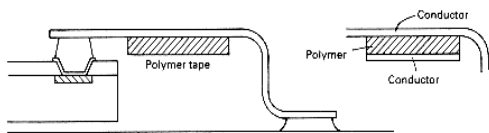


Fig. 3 Transferred bump TAB. Source: Ref 75-77

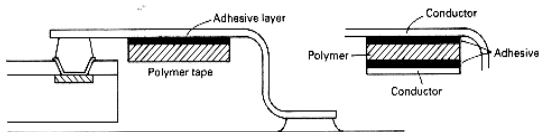
# FITAS para "BUMPED TAPE TAB "



Single-level tape



Double-level tape



Triple-level tape

Fig. 15 Examples of single-level, double-level, and triple-level tape assembly cross sections. In double- and triple-level tape the incorporation of an integral ground plane is straightforward, as shown in the inserts. Controlled impedance lines can also be incorporated in a coplanar format.

## •Fita de 1 camada:

- Baixo custo
- Aplicações em alta temperatura
- Chips não podem ser testados

## •Fita de 2 camadas:

- Chips podem ser testados
- Aplicações em alta temperatura
- Alto custo
- Tendem a curvar-se

## •Fitas de 3 camadas:

- Chips podem ser testados
- Fitas de até 70 mm
- Alto custo
- Baixa estabilidade do adesivo



# PROCESSAMENTO do TERMINAL EXTERNO em TAB

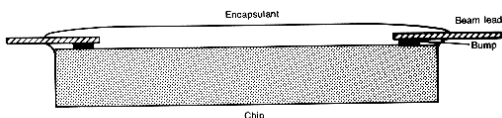


Fig. 18 TAB encapsulation example

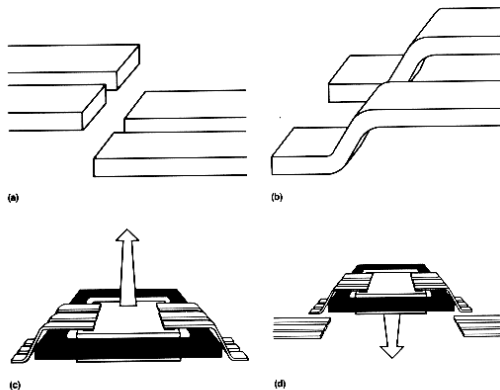


Fig. 19 Steps of outer lead bonding. (a) Excising. (b) Lead forming. (c) Transporting. (d) Welding or soldering. Source: Ref 101-103



# FORMAÇÃO dos TERMINAIS em ENCAPSULAMENTOS

- Encapsulamentos eletrônicos que usam terminais podem ser divididos em três tipos:
  - Terminal reto, em "J" e tipo asa de gaivota (Gull-Wing)
    - Encapsulamentos tipo "plastic dual in-line package" (PDIP) usam o terminal reto, usado em circuitos impressos (PCB) de furo passante.
    - Encapsulamentos tipo "plastic leaded chip carrier" (PLCC) e SOJ usam os terminais tipo J-lead.
    - Encapsulamentos tipo "quad flat pack" (QFP) e "thin small-outline" (TSOP) usam terminais do tipo "Gull-wing"

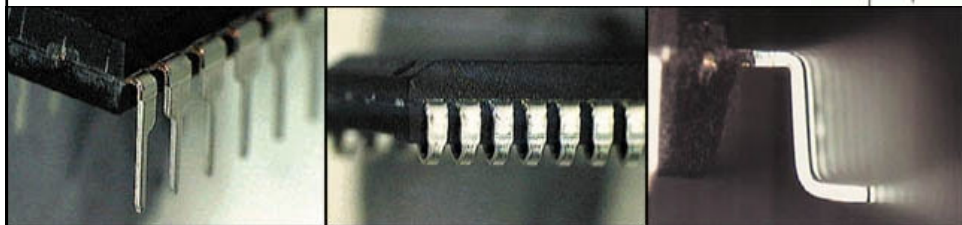
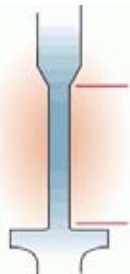


Figure 1. a) Straight lead, b) J-lead, and c) gull-wing lead.

## FORMAÇÃO DE TERMINAIS

- A formação de terminais utiliza dispositivos que deformam o terminal para obter a forma desejada.
- Existem dois métodos para realizar esta conformação
  - Sólido (usando peças sólidas para a conformação)
  - Rolos (usando rolos para a conformação)

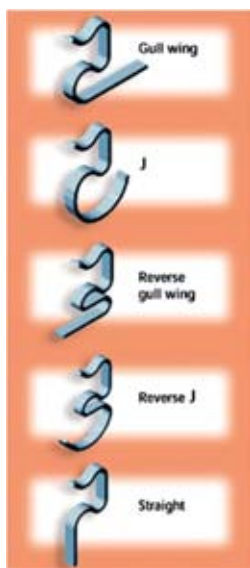


Figure 2. Shape of the portion of the lead that is used to mount the discrete device to a board.

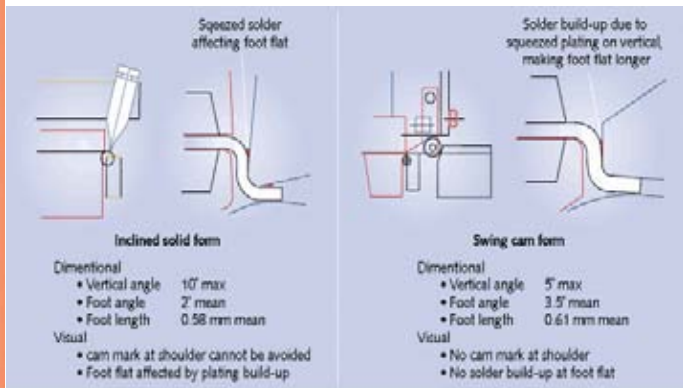


Figure 6. Comparison of inclined solid forming and swing cam roller forming mechanisms.

# GEOMETRIA do TERMINAL "GULL WING"

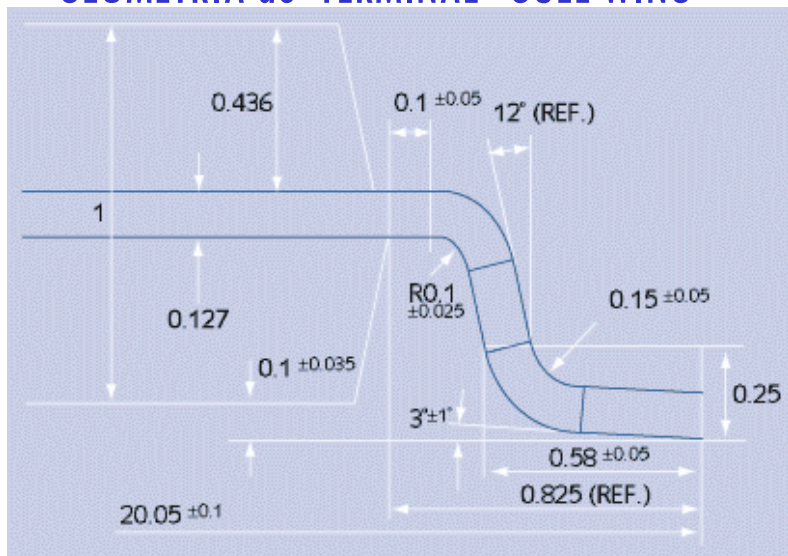
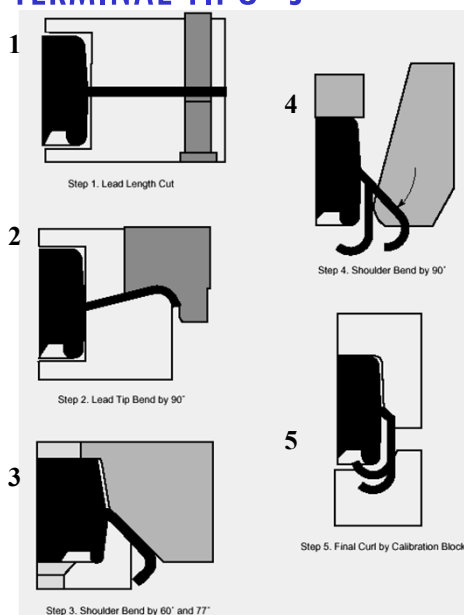


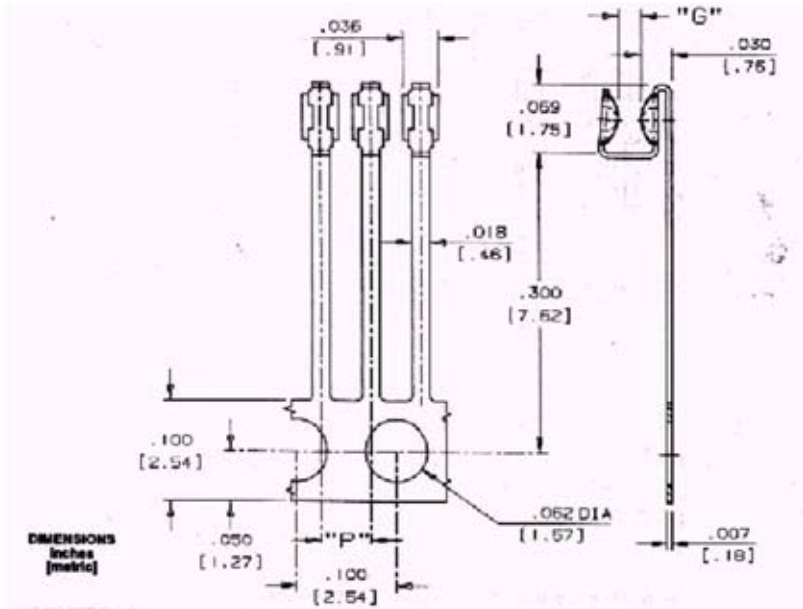
Figure 2. Typical gull-wing lead profile.

# FORMAÇÃO do TERMINAL TIPO "J"

- Passo 1:
  - Definição e corte no comprimento certo
- Passo 2:
  - Dobramento da ponta do J em 90°
- Passo 3:
  - Dobramento da ombreira do J em 60° e 77°
- Passo 4:
  - Dobramento da ombreira do J em 90°
- Passo 5:
  - Ondulação final do terminal em J



# TERMINAL TIPO RETO



## PROBLEMAS na FORMAÇÃO dos TERMINAIS

- Os problemas típicos na formação dos terminais são:
  - Terminais dobrados
  - Problemas de coplanaridade
  - Comprimento de terminais

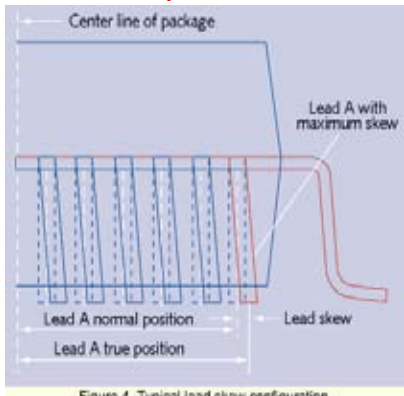


Figure 4. Typical lead skew configuration.

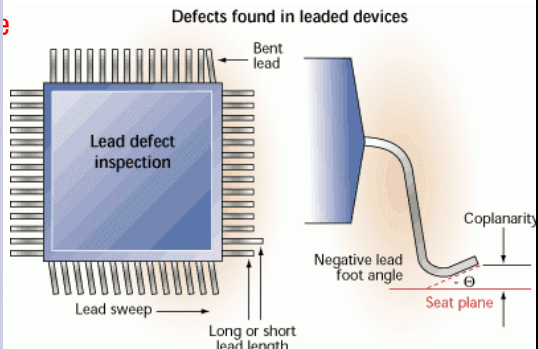
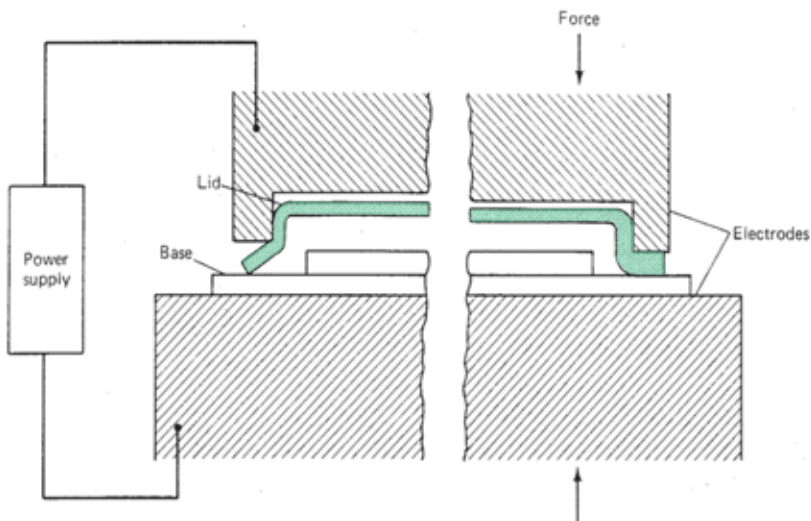


Figure 1. Common defects found in leaded devices.

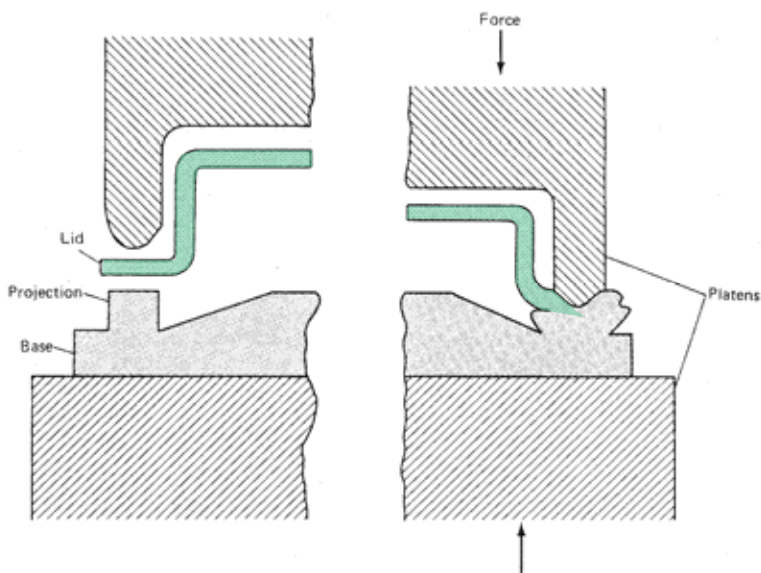
# SELAGEM (TOPO) DE ENCAPSULAMENTOS

- MÉTODOS DE SELAMENTO USADOS:
  - Soldagem
  - Brazagem e solda com pre-forma
  - Encapsulamento com Polímeros
- SOLDAGEM
  - Solda de arco (TIG, Microplasma)
  - Solda de resistência (solda de Ponto, solda por projeção), Solda por Pressão (Fria, Quente (termocompressão, ultrasônica e termosônica))
  - Solda por Electron Beam
  - Solda por Laser (CO<sub>2</sub>, Nd:YAG)

## SOLDA DE RESISTÊNCIA POR PROJEÇÃO



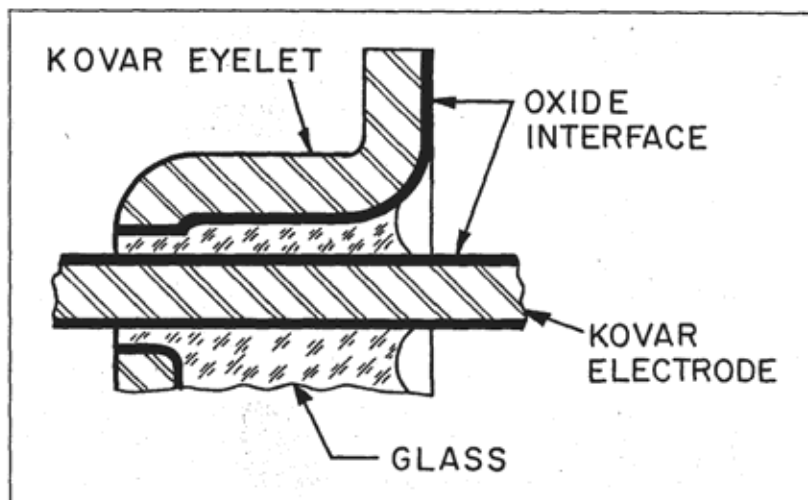
## SOLDA FRIA a PRESSÃO PARA TO'S



## BRAZAGEM e SOLDA COM PRE-FORMA

- Este é um processo através do qual dois materiais podem ser selados, usando um material intermediário metálico ou vítreo fundido que molha a superfície dos componentes e é levada por capilaridade no "gap" das duas superfícies a serem seladas. A selagem acontece após o resfriamento e solidificação deste intermediário.
- Este processo é chamado de Brazagem quando a temperatura do intermediário é de 450 oC ou maior e soldagem convencional para temperaturas menores.
- Com este processo realizam-se selamento de
- Selamento Vidro-Metal
- Selamento Vidro-Cerâmica
- Selamento com fritas de vidro

# Brazagem (Selo Vidro-Metal)



## POLIMEROS para ENCAPSULAMENTOS



### • EPOXIES

- Bisfenol
- Novolac

### • Vantagens

- Boa adesão
- Boa estabilidade com To, materiais químicos, meio ambiente e mecânica estrutural
- Pouco encolhimento
- Cura rápida
- Pouca permeabilidade devido a umidade
- Resistência dielétrica boa
- Vida longa de armazenamento

### • Desvantagens

- Muito rígida
- Adere ao molde
- Difícil de remover
- Constante dielétrica elevada

# POLIMEROS para ENCAPSULAMENTOS (cont.)



- SILICONES
- Vantagens
  - Alta flexibilidade
  - Boa faixa de trabalho com a temperatura
  - Baixa constante dielétrica
  - Alta resistência dielétrica
  - Baixo encolhimento
  - Apresenta vários mecanismos de cura (aeróbico e anaeróbico)
- Desvantagens
  - Alto CET
  - Estabilidade mecânica ruim
  - Baixa adesão
  - Custo elevado
  - A cura pode ser inibida pelas químicas do processo

# EMBALAGEM dos CIRCUITOS INTEGRADOS



- Existem três formas básicas de embalagem de CI's:
  - **Tube Magazine, Bandeja e Fita enrolada**

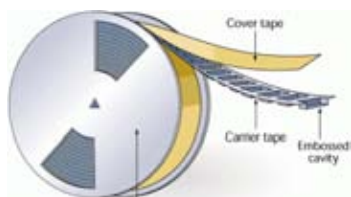


Figure 3. Tape-and-reel packing (Ref. EIA-481).

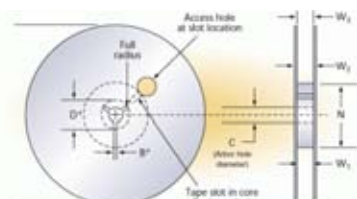


Figure 8. Typical reel outline as defined by EIA-481.

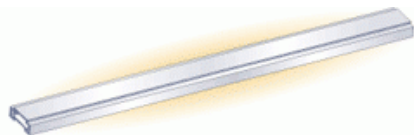


Figure 1. Typical Stick magazine shipping tube.



Figure 2. JEDEC tray with properly arranged units.

## Montagem Chip on Board (COB)

## OUTROS METODOS de ENCAPSULAMENTO “COB” (CHIP ON BOARD)

Substrate, FR4, G10...

Die Attach

Wire bonding & testing

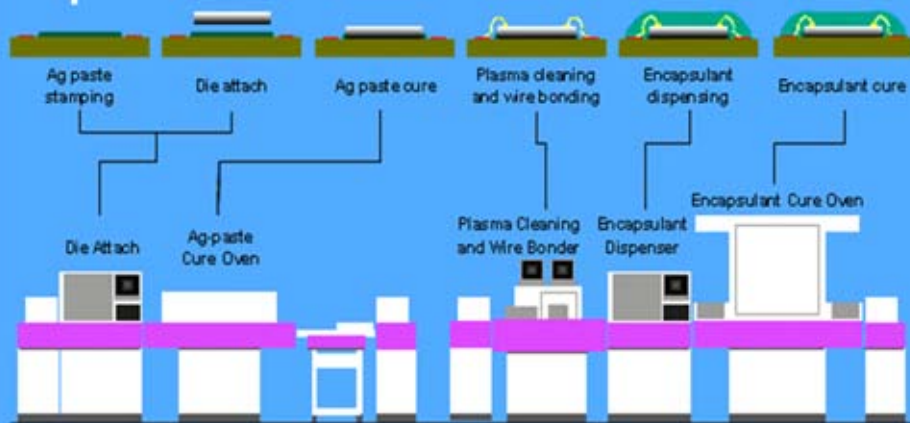
Encapsulation & Testing

Surface Mount (SMD)

Final test

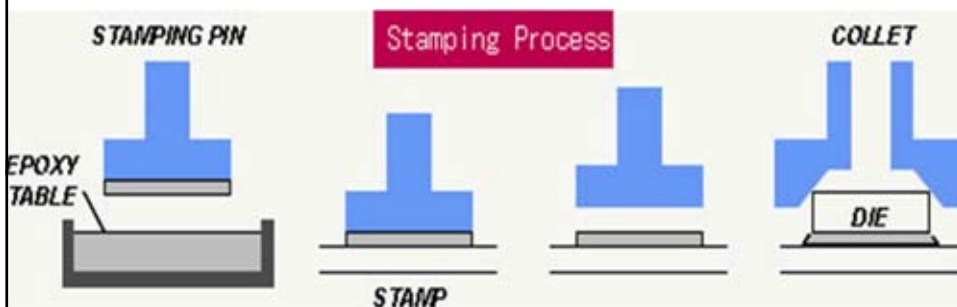


## Chip On Board Process



## PROCESSO de “DIE-ATTACH” para “COB”

- Utiliza-se um pino para estampar o epoxy carregado com prata
- A seguir realiza-se a operação de posicionamento do “Die”
- Em seguida efetua-se a cura do polímero



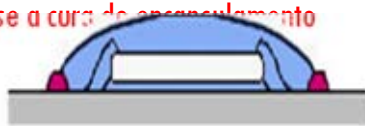
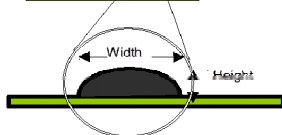
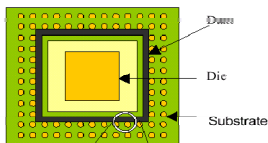
## “WIRE BONDING” para “COB”

- Para “COB” utiliza-se “Wire Bonding” tipo “Wedge”
- Os “Pads” no “PCB” devem ser compatíveis com o processo de soldagem a ser utilizado

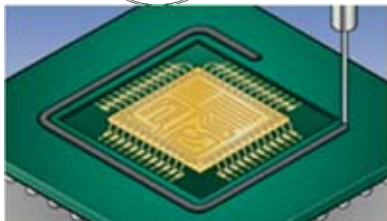


## ENCAPSULAMENTO para “COB”

- Realiza-se a través do processo “Dam and Fill”
  - Realiza-se uma “represa” com “epoxy” viscoso
  - Realiza-se o preenchimento com “epoxy” mais fluido
  - realiza-se a cura do encapsulamento



*High flow epoxy with low flow epoxy dam*



# Anotações

# Montagem Flip Chip

# TÉCNICA DE “FLIP-CHIP”

• O comprimento das interconexões entre o Chip e substrato podem ser minimizadas colocando batentes “Bumps” de solda nos “Pads” do “DIE”, virando-o, alinhando-o com os “Pads” de contato no substrato e realizando uma refusão de solda para estabelecer a ligação entre “DIE” e Substrato

- Esta técnica fornece baixas indutâncias e capacitâncias parasitas
- Ganha-se área no silício
- Aumenta o número de terminais I/O
- A resistência térmica do arranjo aumenta, sendo o caminho térmico limitado pelas batentes de solda
- Inspeção dificultada
- Esta técnica hoje permite realizar muitos tipos de encapsulamento como PGA, BGA e CSP

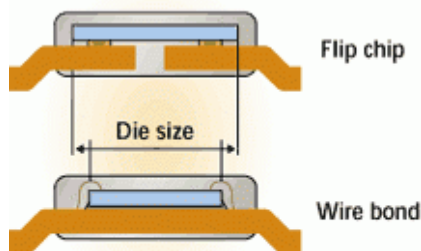
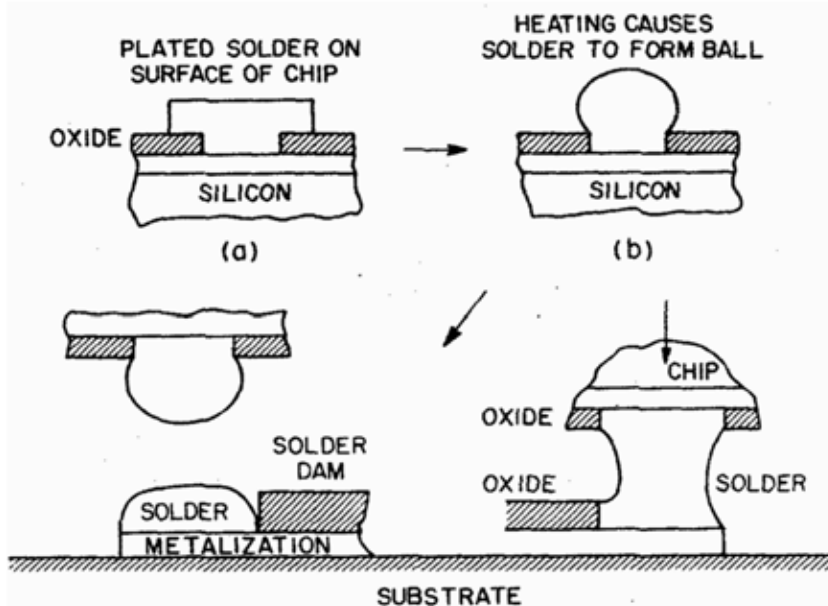


Figure 5. Size comparison of flip chip vs. wirebond.

## INTERCONEXÃO TIPO FLIP-CHIP

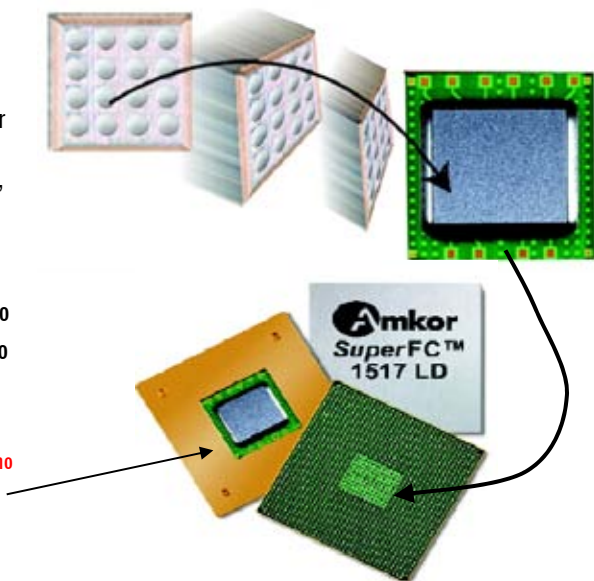


# TECNOLOGIA FLIP CHIP



- O comprimento das interconexões entre o Chip e substrato podem ser minimizadas colocando batentes “Bumps” de solda nas ilhas “Pads” do “Die”, virando-o, alinhando-o com os “Pads” de contato no substrato e realizando uma refusão de solda para estabelecer a ligação entre “Die” e Substrato.

- Esta técnica hoje permite realizar muitos tipos de encapsulamento como **BGA, PGA e CSP**



# TECNOLOGIA FLIP CHIP



## • Vantagens

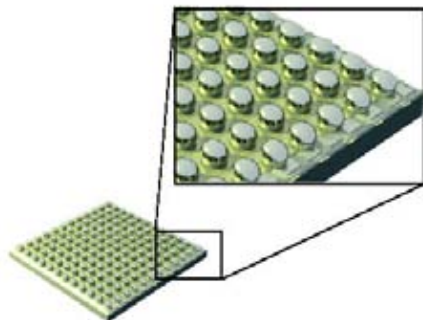
- Tamanho menor, redução de peso e altura,
- Ganha-se área no silício,
- Aumento de desempenho: fornece baixas indutâncias e capacitâncias parasitas,
- Maior funcionalidade: Aumenta o número de terminais I/O,
- Aumento de Confiabilidade: Devido ao uso de “Underfill”,
- Facilidade de remoção de calor na parte superior do arranjo,
- Baixo custo.

## • Desvantagens

- Disponibilidade no mercado de “Bumped Chips”,
- Inspeção dificultada,
- Compatibilidade fraca com SMT,
- Dificuldade de movimentação de “Dies”
- Necessidade de montagem com alta precisão,
- Tempo de cura longo dos materiais para “Underfilling”,
- Re-trabalho ou reparo difícil ou as vezes impossível.

# MOTIVAÇÕES PARA USAR FLIP CHIP

1. O desempenho mais alto desde o ponto de vista de velocidade, redução de indutâncias, distribuição de energia, propagação de sinais e isolamento de ruídos;
2. A maior integração de silício com o maior número de I/O por "Die", pelo uso otimizado da superfície do "Die";
3. Utilização crescente do da lâmina. Circuitos integrados projetados em arranjos de área resultam em "Dies" menores e portanto mais "Dies" por Lâmina;
4. Pode-se manter as geometrias das pegadas dos "Dies" que reduziram sua área, evitando realizar um novo Lay-out do PCB;
5. Maior ergonomia em relação a peso, tamanho e espessura;
6. Melhor gerenciamento térmico para sistemas com IC's de alta velocidade e com alto número de I/O;
7. Utilização otimizada de maquinário.

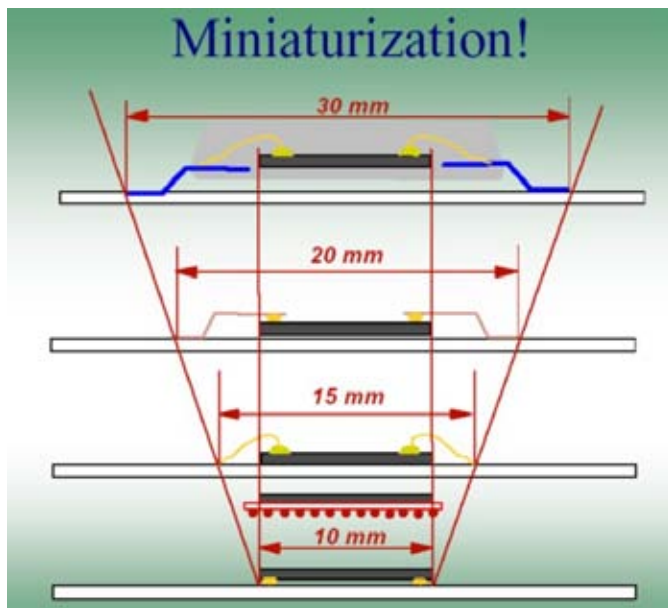


## USOS DE FC

### Who's Using Flip Chips?

*Flip Chip devices and applications include:*

- ASICs and microprocessors
- Memory
  - DRAM
  - Flash
  - EEPROM
  - SRAM
- Small form-factor hard disk drives
- Printer heads
- Linear devices
- MPRs
- Analog
- Power
- RFICs
- MCU
- Gate arrays
- PLD
- FPGA
- Cellular phones
- Laser printers
- Palm-tops, PDAs, net appliances
- Workstations
- Sensors
- Drivers
- Transceivers (optical, RF)
- Watches
- GPS receivers
- Airbag controllers



## FLIP CHIP DENTRO DO CI

- Outra utilização da tecnologia FLIP CHIP é a utilização do Flip Chip dentro do CI, com características de diminuição de tamanho e melhoria na dissipação térmica dos “Dies”.

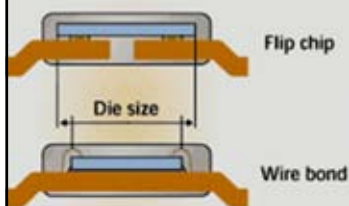


Figure 5. Size comparison of flip chip vs. wirebond.



Figure 2. SO-6 package.



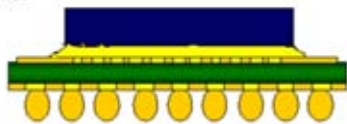
Figure 4. Cross-section of SO package with flip chip interconnect.

**Bump/Carrier**

- Carrier surface finish
- Carrier solder mask
- Carrier material

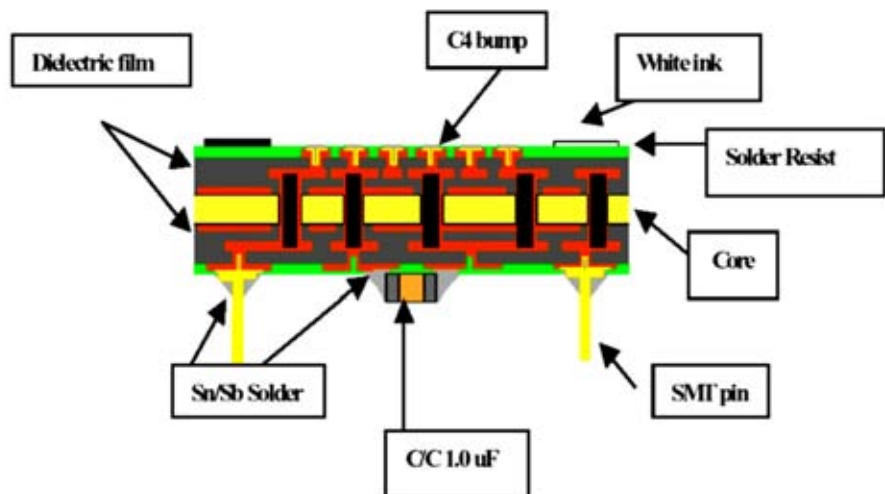
**Die/Bump**

- Under bump metallurgy
- Passivation layer

**Encapsulant / Die/Bump**

- Polymer to metal
- Polymer to polymer

## UTILIZAÇÃO DE FLIP CHIP PARA PGA



**Figure 6: Schematic of FCPGA laminates and materials**



# UTILIZAÇÃO DE FLIP CHIP PARA BGA

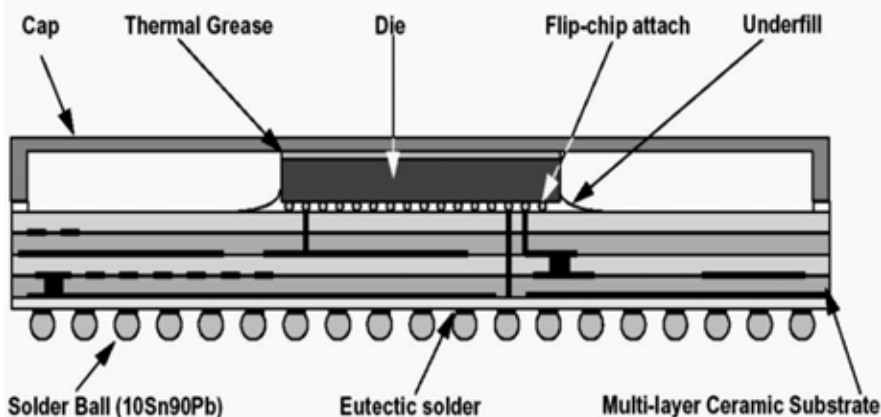


Figure 3. Ceramic Ball Grid Array (CBGA)

## DIMINUIÇÃO DA ÁREA DO "Die"



- As tecnologias de "Flip Chip" permitem a diminuição do passo e diâmetro do "Bump". Assim mantendo o número de "Bumps" pode ser diminuída a área do "Die" como

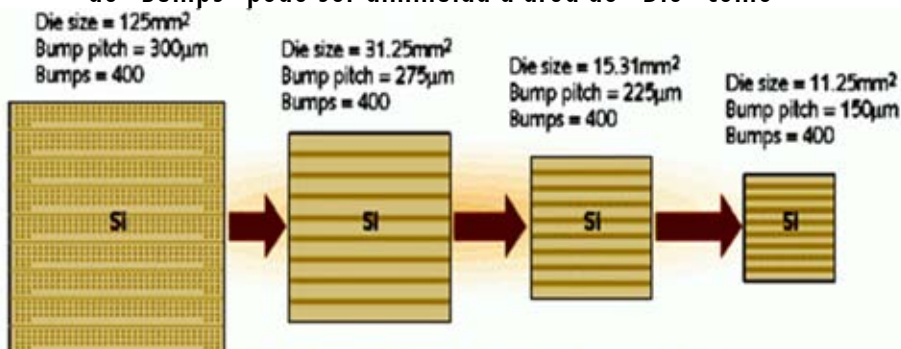
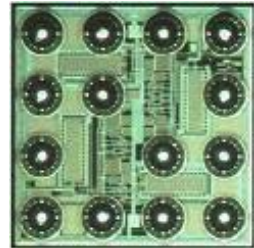
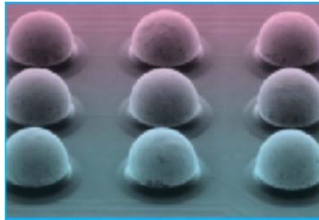


Figure 4. Die size reductions and effect on bump pitch.

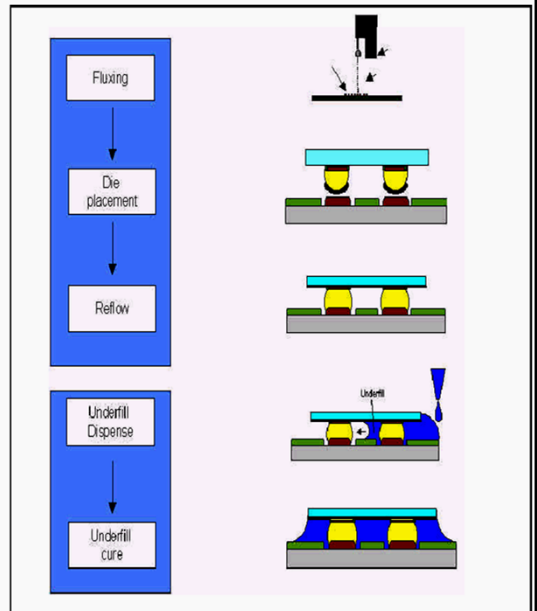
## PROCESSOS DE DEPOSIÇÃO DOS BATENTES EM FLIP CHIP

- São cinco os processos mais usados para fabricar o batente de solda.
- As técnicas de deposição são as seguintes:
  1. Formação do batente usando Evaporação;
  2. Formação do batente usando Eletrodeposição;
  3. Formação do batente usando Serigrafia;
  4. UBM de Niquel Electroless seguido de batentes serigrafados ou com adesivos condutivos.
  5. Formação do batente usando Bolas de “Wire Bonding” ou “Stud Bump Bonding”;



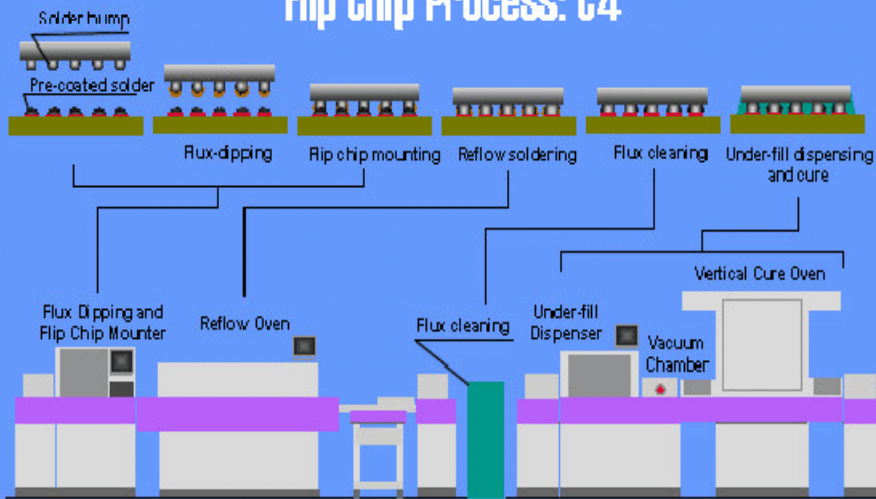
## PROCESSO FINAL TÍPICO PARA FLIP CHIP

- Deposição de fundente no substrato
- Posicionamento do “Die”
- Formação da Junta. Ex. Refusão de solda
- Limpeza
- Deposição do “Underfill”
- Cura do “Underfill”



# PROCESSO C4 (Controlled Collapse Chip Connection)

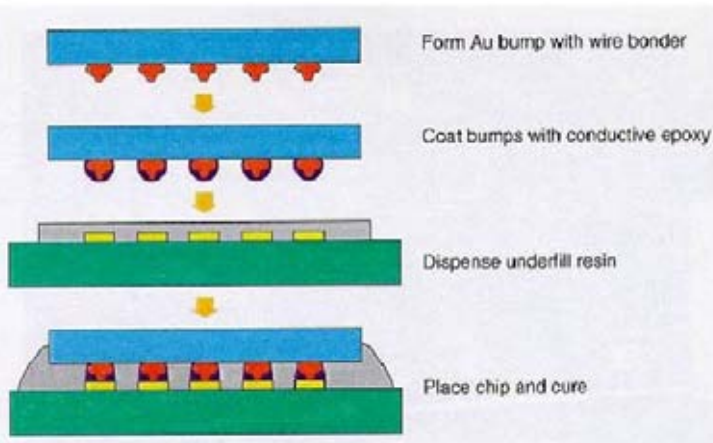
## Flip Chip Process: C4



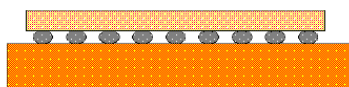
# PROCESSO SBB (STUD BUMP BONDING)

## Stud Bump Bonding

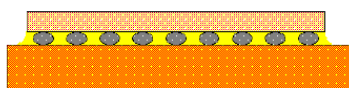
### BIT Process



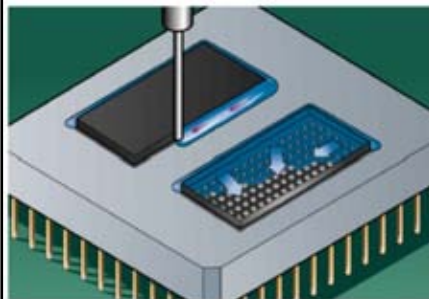
## PROCESSO DE “UNDERFILLING”



flip-chip  
without underfill-material



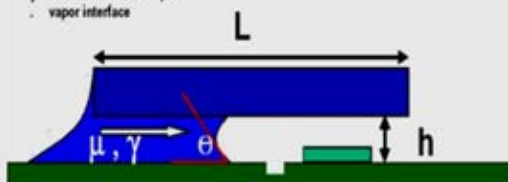
flip-chip  
with underfill



T = Time in seconds  
 $\mu$  = Fluid viscosity  
 L = Flow distance  
 h = Gap or bump height  
 $\theta$  = Contact or wetting angle  
 $\gamma$  = Surface tension of liquid  
 - vapor interface

$$T = (3\mu L^2) / (h\gamma \cos\theta)$$

Capillary Flow out time



## PROBLEMAS DURANTE O “UNDERFILLING”

