

Escola Politécnica da Universidade de São Paulo
Departamento de Engenharia de Sistemas Eletrônicos - PSI

PSI-3452- Projeto de Circuitos Integrados Digitais e Analógicos

**LAB 3: Análise de Características Estáticas e Dinâmicas
do Inversor CMOS (2017)**

1. Objetivos

Esta sessão de lab visa dar continuidade à familiarização do estudante com a metodologia de projeto dedicado com aplicativo IC Station da Mentor Graphics e o programa de simulação de circuitos ELDO. Especificamente, objetiva a edição do leiaute de um inversor CMOS, a extração do circuito equivalente e a análise de suas características estáticas e dinâmicas a partir de seu esquema elétrico. Este esquema contém os componentes do circuito sendo projetado (transistores NMOS e PMOS) assim como componentes parasitários (resistores e/ou capacitores) extraídos do leiaute.

2. Introdução Teórica

2.1. O Inversor CMOS – funcionalidade

O inversor CMOS é formado por um transistor NMOS e um PMOS, como mostrado no diagrama esquemático da figura 1. É constituído de transistores N e P que apresentam quatro terminais elétricos: porta (G), dreno (D), fonte (S) e substrato (B). Suas curvas de transferência ($V_{out} \times V_{in}$) e de corrente ($I_{dd} \times V_{in}$) são apresentadas na figura 2.

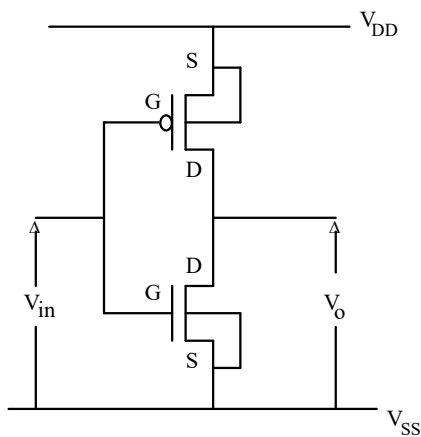


Figura 1

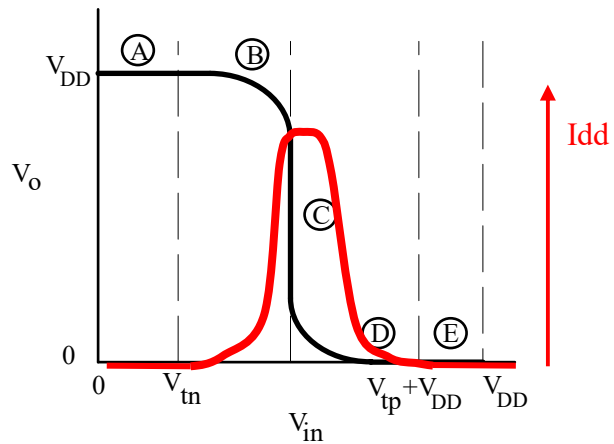


Figura 2

Região	Condição	PMOS	NMOS	Saída
A	$0 < V_{in} < V_{tn}$	Linear	Corte	$V_o = V_{DD}$
B	$V_{tn} < V_{in} < V_{inC}$	Linear	Saturado	$V_{oB} = f(V_{in})$
C	$V_{in} = V_{inC}$	Saturado	Saturado	$V_o \neq f(V_{in})$
D	$V_{inC} < V_{in} < (V_{DD} + V_{tp})$	Saturado	Linear	$V_{oD} = f(V_{in})$
E	$(V_{DD} + V_{tp}) < V_{in} < V_{DD}$	Corte	Linear	$V_o = 0$

Tabela 1

A tabela 1 indica o regime de operação de cada transistor em cada região da curva, assim como o valor da saída V_{out} . Os valores de V_{oB} e V_{oD} em função de V_{in} , assim como o valor de V_{in} na região 3, podem ser calculados igualando as correntes nos 2 transistores (modelo simplificado, para canal longo), resultando nas equações 1, 2 e 3 (é considerado que a saturação ocorre apenas por "pinch-off").

$$\text{Eq1 (região B): } V_{oB} = V_{in} - V_{tp} + \left[V_{in} - V_{tp}^2 - 2 V_{in} - \frac{V_{dd}}{2} - V_{tp} V_{dd} - \frac{k_n}{k_p} V_{in} - V_{tn}^2 \right]^{\frac{1}{2}}$$

$$\text{Eq2 (região D): } V_{oD} = V_{in} - V_{tn} + \left[V_{in} - V_{tn}^2 - \frac{k_p}{k_n} V_{in} - V_{dd} - V_{tp}^2 \right]^{\frac{1}{2}}$$

$$\text{Eq3 (região C): } V_{inC} = \frac{V_{DD} + V_{tp} + V_{in} \sqrt{k_n/k_p}}{1 + \sqrt{k_n/k_p}}$$

A equação 3, referente à região C, também corresponde, neste modelo simplificado, ao valor de $V_{0} = V_{in}$, também denominado de valor do limiar lógico, V_M , no livro-texto é também chamado de V_{th}). Ela mostra de que forma a relação k_n/k_p (portanto as dimensões relativas entre os transistores NMOS e PMOS) afeta o valor de V_M do inversor. A região de transição C da Figura 2 move-se da esquerda para a direita com a redução de k_n/k_p . No caso, $k_n = k_n' \frac{W_n}{L_n} = \mu_n C_{ox} \frac{W_n}{L_n}$ e $k_p = k_p' \frac{W_p}{L_p} = \mu_p C_{ox} \frac{W_p}{L_p}$.

2.2. Margens de ruído

Margem de ruído é um parâmetro ligado às características de tensão de entrada-saída que descreve qual o ruído máximo permitido na entrada de uma porta lógica para que a saída não seja afetada, isto é, permaneça com o seu valor lógico correto. A especificação mais utilizada para a margem de ruído (imunidade de ruído) é em forma de dois parâmetros - a margem de ruído '0', MR0, e a margem de ruído '1', MR1. Para dois inversores ligados em cadeia, MR0 é definido como a diferença entre a tensão de saída '0' da porta lógica de comando (primeiro estágio) e a tensão máxima de entrada '0' reconhecida pela porta comandada (segundo estágio). Então,

$$MR0 = |V_{in0} - V_{out0}|.$$

O valor MR1 é a diferença entre a tensão de saída '1' da porta lógica de comando e a tensão mínima de entrada '1' reconhecida pela porta comandada. Então,

$$MR1 = |V_{out1} - V_{in1}|,$$

Onde:

V_{in1} = tensão mínima de entrada '1' (ponto em que a declividade na curva é -1)

V_{in0} = tensão máxima de entrada '0' (ponto em que a declividade na curva é -1)

V_{out1} = tensão de saída '1'

V_{out0} = tensão de saída '0'

A Figura 3 mostra os valores V_{in0} , V_{in1} , V_{out0} e V_{out1} . Quanto maior o ganho do inversor na região 3 (idealmente o ganho é infinito e a curva nesta região é vertical), mais próximos serão os valores de V_{in0} e V_{in1} , maximizando-se consequentemente as margens de ruído MR0 e MR1.

Outro parâmetro importante da curva da Figura 3 é a tensão de limiar lógica V_M , correspondendo o valor de $V_{in} = V_{out}$ na curva, ou seja ao valor de equilíbrio das tensões de entrada e saída para estágios inversores encadeados. Este valor depende do projeto (de acordo com a eq. 3 acima) e é, em geral, desejável que $V_M = V_{DD}/2$, o que leva a margens de ruído equilibradas.

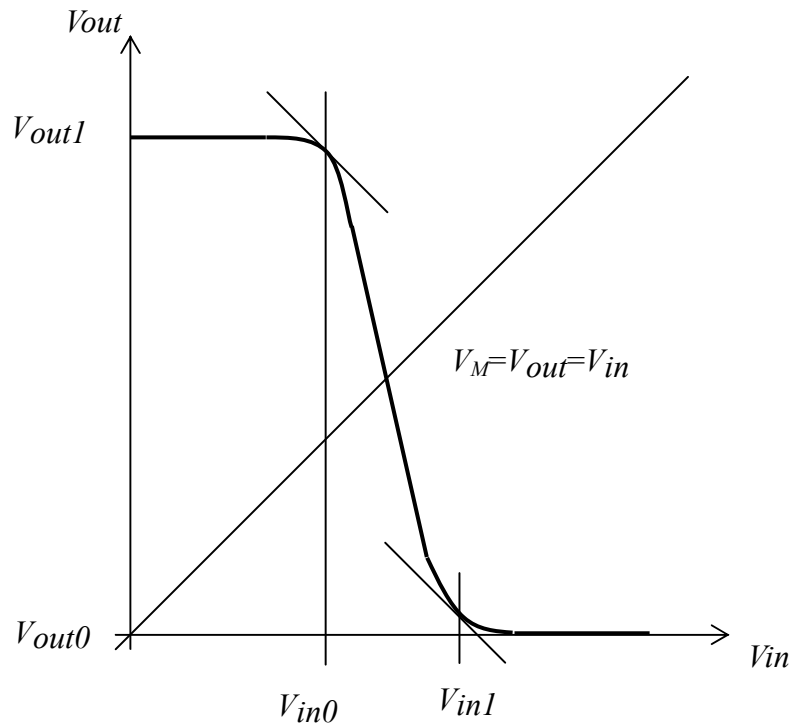


Figura 3

2.3. Tempos de atraso t_{pLH} e t_{pHL}

A velocidade de chaveamento de uma porta lógica CMOS depende de sua capacitância de saída, como ilustra a figura 4. Os tempos de atraso, t_{pLH} e t_{pHL} são medidos pela diferença de tempo entre o instante em que ocorre a transição de entrada (considerada instantânea) e o instante em que a saída está a 50% de V_{DD} . A indicação LH ou HL são referente ao comportamento da saída do inversor.

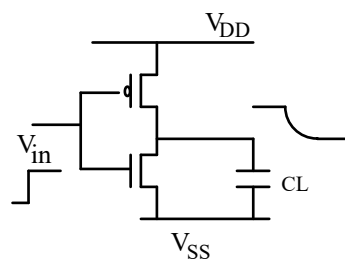


Figura 4

Valores aproximados dos tempos de subida e de descida podem ser determinados igualando as equações de corrente dos transistores NMOS ou PMOS à carga sendo retirada ou adicionada ao capacitor C, ocasionando a variação de tensão no capacitor C (ver esquema da figura 5).

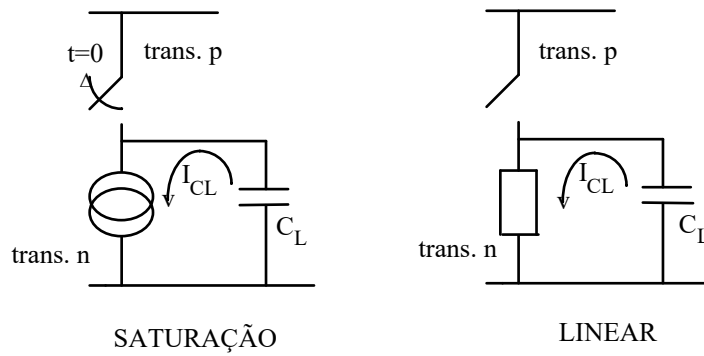


Figura 5

Uma aproximação desenvolvida no capítulo 4 do livro do Sedra é mostrada a seguir (as fórmulas foram compatibilizadas com as definições de k'_n e k'_p do manual ENG182):

$$\text{Eq4: } t_{pLH} = C_L \frac{V_{DD}}{k'_p \frac{W_p}{L_p} (V_{DD} - V_{THp})^2}$$

$$\text{Eq5: } t_{pHL} = C_L \frac{V_{DD}}{k'_n \frac{W_n}{L_n} (V_{DD} - V_{THn})^2}$$

ou, simplificando com $V_{TH} = 0,2 \times V_{DD}$,

$$\text{Eq6: } t_{pLH} \cong 1,6 \cdot C_L \frac{1}{k'_p \frac{W_p}{L_p} V_{DD}}$$

$$\text{Eq7: } t_{pHL} \cong 1,6 \cdot C_L \frac{1}{k'_n \frac{W_n}{L_n} V_{DD}}$$

Os valores de k'_n e k'_p , V_{THn} e V_{THp} podem ser obtidos no manual ENG182. V_{DD} , W_n , L_n , W_p e L_p são decisões de projeto. C_L é a capacitância de carga vista pelo inversor. Considerações sobre C_L são feitas na seção seguinte.

2.4. Capacitância equivalente de saída de um inversor

A capacitância de saída de um inversor é calculada a partir da soma de vários componentes. Pode-se separar em duas classes de capacitâncias: as intrínsecas, C_{int} , associados às capacitâncias do próprio inversor que comanda, e as extrínsecas, C_{ext} , relacionados à carga externa que está sendo comandada (podendo ser um outro inversor, por exemplo). Dentre a primeira classe, estão incluídas as capacitâncias de sobreposição (*overlapping*) devido à difusão lateral, entre o dreno dos transistores (lembrar que o nó de saída está conectado aos drenos dos transistores N e P) e as suas portas, e as de junção de dreno, entre os drenos e substratos. No segundo grupo, temos as capacitâncias de porta à entrada do estágio lógico seguinte (para os drenos/fontes e para os substratos) e, também, as capacitâncias de interconexão. Pode-se descrever as capacitâncias da seguinte forma:

$$\text{Eq8) } C_{int} = C_{coverlap} + C_{dreno}$$

$C_{ext} = C_{fio} + C_{porta}$, onde C_{porta} refere-se ao estágio lógico seguinte, caso caso conectado.

$$C_L = C_{int} + C_{ext}$$

No modelo de simulação do Eldo, pode-se separar os componentes de outra forma, também em duas classes. A primeira corresponde às capacitâncias de interconexão, somadas às capacitâncias parasitárias de acoplamento entre os fios do circuito. Estas capacitâncias são agregadas em um único valor fixo, C_{par} , pelo software de extração. As outras capacitâncias, dos transistores, como descrito no parágrafo anterior são associadas aos drenos, fonte e portas dos transistores (tanto os do inversor como os da carga) e são computadas por equações dos modelos de acordo com a geometria dos dispositivos (definidos no leiaute); podem todas serem agregadas em uma capacitância que denominamos como C_{tran} . Desta forma, a capacitância total será:

$$\text{Eq9)} \quad C_{par} = C_{fio}$$

$C_{tran} = C_{overlap} + C_{dreno} + C_{porta}$, onde C_{porta} refere-se ao estágio lógico seguinte, caso conectado.

$$CL = C_{par} + C_{tran}$$

2.5. Correções para os tempos de atraso t_{pLH} e t_{pHL}

As equações para os parâmetros t_{pHL} e t_{pLH} , além de aproximadas, partem da premissa que as transições lógicas à entrada do inversor são abruptas, ou seja, $t_r=0$ e $t_f=0$. Na prática, t_r e t_f podem ter valores até significativos, o que faz com que os valores de propagação também sejam significativamente maiores do que os teóricos. Existe uma formulação razoavelmente simples para a correção da condição de transição abrupta, como apresentado a seguir; observar que o tempo de propagação $t_{pxx}(step)$ corresponde ao obtido com a transição abrupta à entrada.

$$\text{Eq10:} \quad t_{p_{pHL}} = \sqrt{t_{pHL(step)}^2 + \left(t_r/2\right)^2}$$

$$\text{Eq11:} \quad t_{p_{pLH}} = \sqrt{t_{pLH(step)}^2 + \left(t_f/2\right)^2}$$

3 – Parte Experimental

Atenção: Muitos dos procedimentos a serem usados neste lab já foram realizados em sessões anteriores de lab. Quando se fizerem necessários novamente, consulte as descrições específicas dos procedimentos em apostilas anteriores, caso não se recorde.

3.0 Preparo Inicial

Crie a pasta `~/psi3452/lab3`.

3.1 Obtenção de parâmetros tecnológicos do transistor PMOS do inversor

Abra o arquivo `/tools/mgc_tree/adk3_1/technology/ic/models/tsmc035.mod` com o Kwrite ou o Kate, e observe os parâmetros fornecidos. Identifique e anote os seguintes valores encontrados para o transistor PMOS (lembre-se que você já obteve os valores do transistor NMOS no lab 2): a espessura do óxido, a tensão de limiar e a mobilidade básica de elétrons (não se esqueça determinar as unidades correspondentes). Estes parâmetros serão utilizados logo a seguir.

⇒ **Completar na folha de respostas com as informações solicitadas (item 3.1)**

3.2 Projeto do inversor (definição das dimensões do transistor PMOS)

Observação: Para o inversor, os valores do lab anterior para W_n e L_n devem ser utilizados.

O(A) aluno(a) deve determinar os valores de W_p e L_p para margens de ruído equilibradas (VM centralizado), assim como para t_{pHL} e t_{pLH} similares, da seguinte forma.

- 1) Com $L_p=L_n$, determine W_p (em λ) para $k_p/k_n=1$.
- 2) Calcule o VM correspondente, usando a equação 3.
- 3) Não vamos calcular o valor de capacitância de saída do inversor devido à complexidade, apesar de ser plenamente possível. Calcule a relação t_{pHL}/t_{pLH} .

⇒ **Completar na folha de respostas com as informações solicitadas (item 3.2)**

3.3 Desenho do leiaute do inversor

a) Em um janela de Terminal, acesse a pasta `~/psi3452/lab3` e tecla

```
source /home/disc/psi3452/perfil_mgc1
```

Dispare o IC Station

```
adk_ic &
```

b) Crie uma nova célula (comando *New*) chamada **inv_com_carga**. O processo `tsmc035` e suas regras estão em `/tools/mgc_tree/adk3_1/technology/ic/process`. Copie o transistor NMOS gerado em lab2 para incluir no projeto do inversor. Para isto, execute o comando '**Add-> Instance**' e, na janela que aparecerá, usando o '**browser**', localize e escolha a célula gerada no lab 2 (transistor NMOS). Após escolher a célula é necessário teclar com o botão esquerdo do mouse no lugar da tela onde esta será colocada, depois isto, tecla '**ESC**' para encerrar o modo inserção.

c) Use o processo de planarização (*'flatten'*) da célula do transistor, de forma a que ela seja

editável dentro nova célula **inv** criada;. Para isto, selecione todo o leiaute com o comando

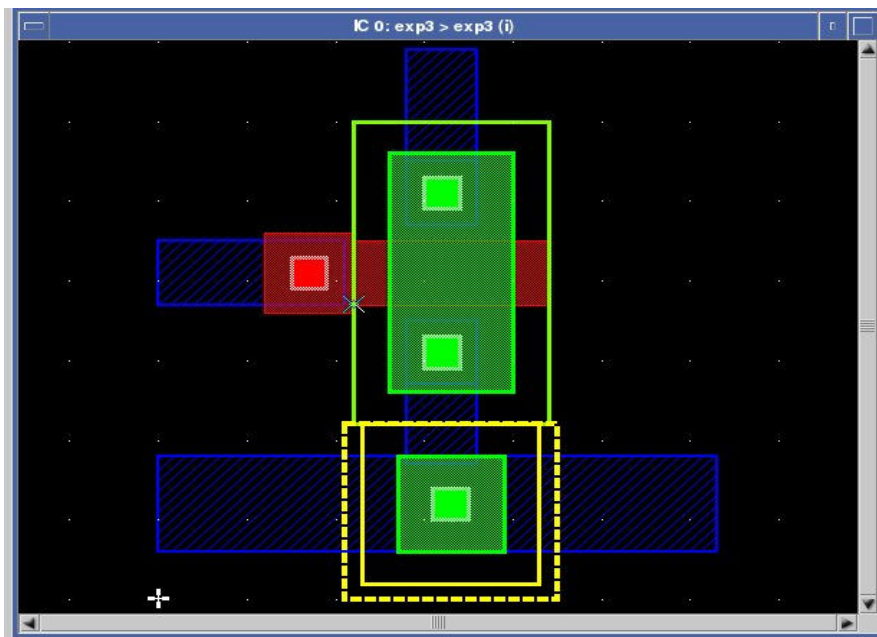
Select->Select->All

e faça o 'flatten' na pequena janela que aparecerá, com o comando

Edit->Flatten

Mantenha 'one level' e tecele o botão **OK**.

Repita a operação de 'flatten' ao menos mais uma vez para acessar as camadas co contato de substrato. Selecione os 'labels' da célula copiada (que devem estar na camada 'metal1.port') e os apague. Para isto você pode usar as teclas F2 (desselecionar tudo) e F1 (selecionar o que estiver abaixo do cursor). Neste ponto o seu leiaute deve estar parecido com a figura a seguir.



d) Não se esqueça de gravar o seu desenho constantemente e de, em seguida, reativar o modo edição (*Context -> Layout -> Set Edit Mmode On*) para poder prosseguir o trabalho.

e) Vamos gerar de forma automática o transistor PMOS com as dimensões projetadas e adicionando contato de substrato ilha N.

Em **IC Palettes**, tecele '**DLA Device**', e na nova janela que aparece, tecele em '**AddMos**'. Na janela '**ObjectEditor**' escolha '**pmos**', e entre com **Width**= W_p e **Length**= L_p (definidos anteriormente); mantenha a '**sequence**' escolhida **cgc**. Em atributos escolha **Rotation** = 90. Posicione o PMOS no leiaute de forma a que a distância entre sua borda (que corresponde à ao poço N) e a difusão do transistor NMOS obedeça a regra **DRC2_3** (veja o valor na apostila do lab1).

f) Adicione uma célula de contato de substrato, de forma similar ao realizado no lab2, porém agora com o contato de ilha (poço) N. Ao adicionar esta célula, cuide para que **Rotation** seja 0 (zero) e a encoste na região de seleção P+ da fonte do transistor canal P. Use a opção *zoom-in* para obter maior precisão e a opção *flatten* para visualizar as camadas co contato.

g) Vamos usar a opção automática de desenhar uma linha de interconexão comum entre as duas portas (gates) dos transistores, assim como os seus drenos. Se necessário use a opção *view context* para ver todo o seu leiaute.

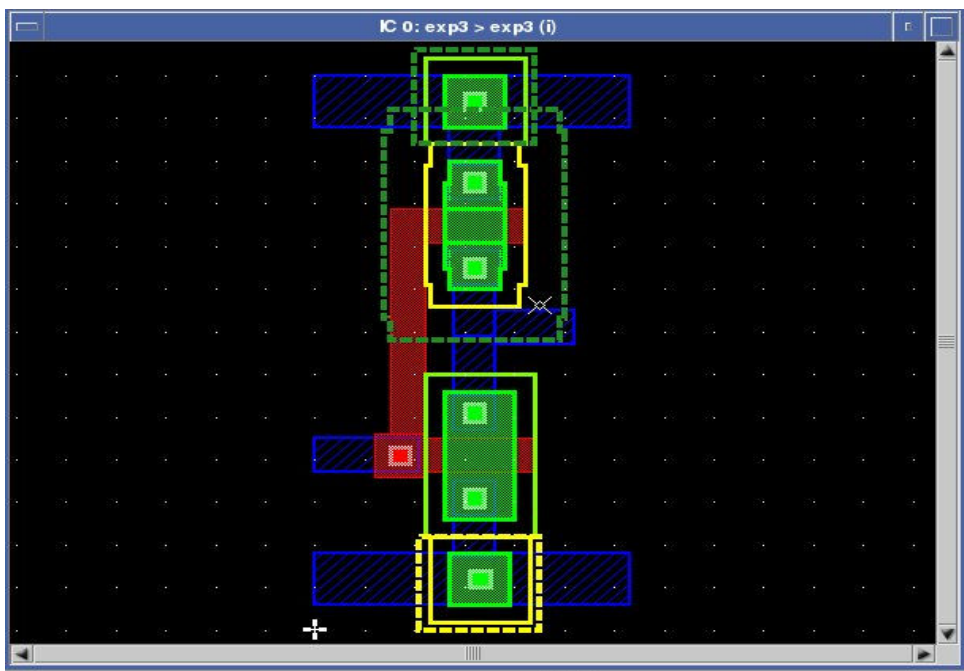
Para interligar as portas, clicar em **Path** da Palheta **Easy Edit**. Na caixa de diálogo (**Object**

Editor) selecione a máscara **Poly** (pode escrever ou selecionar na **Layer Palette**) e determine a largura **Width** igual ao menor dos comprimentos de canal adotados ($Width = \min(L_n \text{ ou } L_p)$). No caso são iguais. Centralize a cruzeta sobre a borda da linha de poly do transistor P do seu leiaute e clique uma vez. Desloque o mouse e estenda a linha de poly por alguns lambdas, clicando o mouse novamente. Desloque o mouse para uma nova direção e assim por diante, até conectar com o silício poli ligado a porta do transistor N. Quando não desejar mais estender a linha de poly, clique duas vezes rapidamente o mouse ou use a tecla ESC.

h) Faça o mesmo procedimento escolhendo agora a camada **METAL1** para interligar os drenos dos transistores.

i) Usando novamente **METAL1**, ligue o contato de fonte e de poço N do transistor canal P entre si. Estenda a camada mais um pouco para poder afixar o *label* VDD futuramente.

j) Rode o DRC para confirmar que está tudo certo. Corrija os erros se existirem. Se necessário use os comandos **Move**, **Stretch**, **Copy**, etc.



3.4. Desenho a cadeia de inversores (duplicando o inversor e incluindo os terminais)

a) Duplique o inversor (na simulação dinâmica- o segundo servirá de carga para o primeiro). Para isto, use **Select->Select->All** e em seguida use **Edit->Copy->Selected->Horizontal** e escolha com o mouse uma posição à direita do inversor existente. Verifique se a distância é suficiente para evitar erros ativando o DRC.

b) Ligue os *terras* (GND) dos dois inversores com **METAL1**.

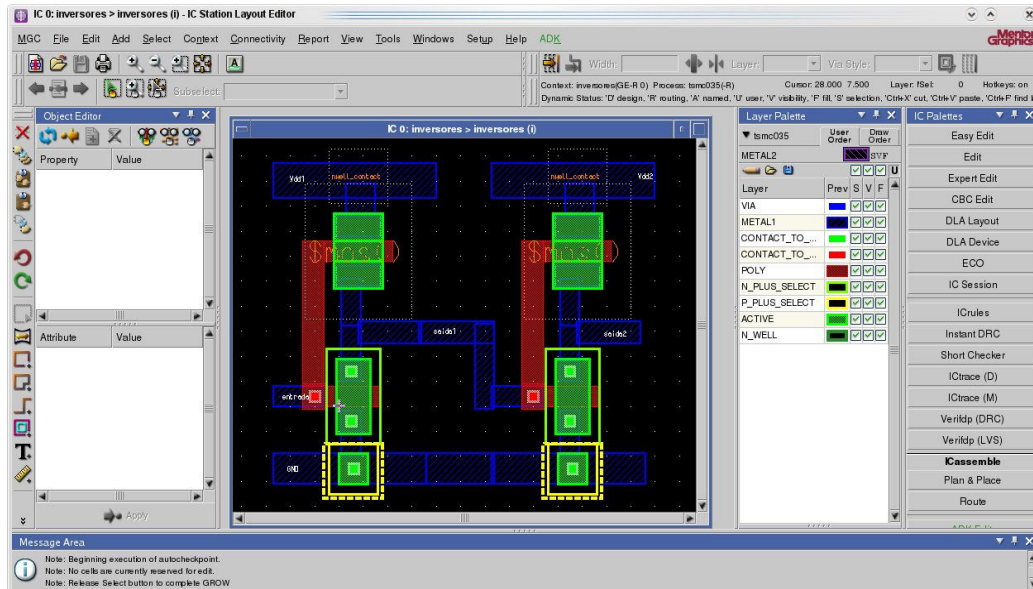
c) Ligue a saída do primeiro inversor com a entrada do segundo. É necessário ter o contato de **METAL1** para **POLY**.

d) Use *Text* e no *Object Editor* escolha a camada **Metal1.port** de forma semelhante ao já feito no lab 2. Você deve adicionar os terminais (*labels*) Vdd1, Vdd2, Gnd, entrada, saida1 e saida_carga (ou saida2) (o número 1 refere-se ao primeiro inversor).

ATENÇÃO: NÃO ligue os VDDs dos dois inversores. Os terminais serão ligados a fontes independentes no modelo de simulação ELDO. Isto será importante quando for analisada de forma isolada a corrente através do primeiro inversor na simulação DC.

e) Neste ponto, sua figura deve estar semelhante à mostrada a seguir. Faça uma cópia da em formato TIFF. Salve o seu desenho.

⇒ **Siga as instruções da folha de respostas (item 3.4)**



3.5 Extração do circuito elétrico

a) Realize a extração do diagrama esquemático do circuito (instruções abaixo copiadas do lab2).

- *Tools -> Calibre -> Run PEX*
- *Load Runset -> FILE: /tools/mgc_tree/adk3_1/technology/calibre/pex.tsmc035.runset*
- *OK*
- *No botão Rules, altere o arquivo para /home/disc/psi3452/lab3/tsmc035.calibre.rules*
- *Na barra a esquerda selecione 'Outputs' e faça com que na linha 'Extraction type' seja selecionado 'C+CC', isto fará com que as resistências sejam desconsideradas o que é uma boa aproximação no nosso caso em que as linhas não são muito longas;*
- *Run Pex (aguarde)*

ATENÇÃO: As capacitâncias a serem consideradas na simulação serão as do transistor 1, interconexões e da carga, de acordo com os parâmetros do modelo do transistor, ou seja, $CL = C_{tran} + C_{par} = C_{overlap} + C_{dreno} + C_{porta} + C_{par}$ (ver parte teórica).

b) Observe se o arquivo **inv_com_carga.sp** foi gerado. Identifique os transistores no arquivo de simulação e confira suas dimensões W e L, as áreas e perímetros, assim como a presença de todos os terminais que você incluiu no seu leiaute.

⇒ **Siga as instruções da folha de respostas (item 3.5)**

3.6 Simulação das características estáticas

- a) Copie o arquivo '`/home/disc/psi3453/lab3/inv_com_carga_topo.sp`' para a sua pasta de trabalho. Este arquivo contém a descrição da simulação estática e da dinâmica. Leia-o com atenção para entendê-lo. Caso necessário, reordene os nomes dos terminais no arquivo para ficarem compatíveis com a sequência em que comparecem no **arquivo `inv_com_carga.sp`**.
- b) Caso você tenha usado nomes diferentes para os terminais em relação aos nomes recomendados na apostila faça também a correção em todos os pontos do arquivo **`inv_com_carga_topo.sp`** em que aparecem.
- c) Faça a simulação através do comando **`eldo inv_com_carga_topo.sp`**.
- d) Observe os resultados da simulação usando o programa **`ezwave (ezwave inv_com_carga_topo.wdb)`**. Dispare a curva $V_{out} X V_{in}$. Grave uma cópia em jpg (como no lab 2)

⇒ **Siga as instruções da folha de respostas (item 3.6.a)**

- e) No programa **`ezwave`**, dispare a curva $I_{dd} X V_{in}$. Grave uma cópia em jpg.

⇒ **Siga as instruções da folha de respostas (item 3.6.b)**

3.7 Simulação das características transientes- 1

- a) Pelo arquivo do circuito **`inv_com_carga.sp`** extraído , encontrar o capacitor parasitário do nó da saída1. (Obs. Trata-se do Cpar, conjunto capacitor de interconexão mais parasitários do nó).
- b) Traçar a curva ($V_{out} x t$) e ($V_{in} x t$) onde a entrada do primeiro inversor é a forma de onda obtida por gerador de pulsos . Observe que o pulso vai de 0 a 3.3V, e os valores de t_r e t_f são de 0.01ns, conforme descrito no arquivo '`inv_com_carga_topo.sp`'.
- c) Meça os tempos de atrasos t_{pLH} e t_{pHL} (50% de V_{DD}) e gere um arquivo *.jpg para cada um deles. As figuras devem apresentar escalas de tempo ampliadas de tal forma a ter grande precisão nas medidas.

OBSERVAÇÃO: Lembre-se que o inversor sob análise é o primeiro; o segundo é apenas uma carga de outro estágio lógico

⇒ **Siga as instruções da folha de respostas (item 3.7)**

3.8 Simulação das características transientes- 2 (alterando tempos de subida e descida)

- a) Edite o arquivo '`inv_com_carga_topo.sp`', alterando os valores de t_r e t_f do pulso de entrada, para 0.1ns (dez vezes o valor original). Grave-o com outro nome de escolha.
- b) Refaça a simulação.
- c) Traçar a curva ($V_{out} x t$) e ($V_{in} x t$) do primeiro inversor.
- d) Meça os tempos de atrasos t_{pLH} e t_{pHL} (50% de V_{DD})

⇒ **Siga as instruções da folha de respostas (item 3.8)**

3.9 Mudança do leiaute e simulação das novas características transientes

a) Grave o leiaute do inversor com o nome **inv_simples** para nova edição (lembre-se de gravar antes o leiaute do **inv_com_carga** para eventuais necessidades). Através de comandos de seleção, apague o segundo inversor, ou seja manteremos apenas o primeiro inversor e as interconexões (**METAL1** e **POLY**).

ATENÇÃO: Sem o inversor de carga, as **capacitâncias a serem consideradas na simulação serão as do transistor 1 e interconexões, de acordo com os parâmetros do modelo do transistor, ou seja, $CL=C_{dreno}+C_{overlap}+C_{par}$** (ver parte teórica).

b) No IC Station, refaça a extração. Pelo arquivo do circuito *inv_simples.sp* extraído, encontrar o capacitor parasitário do nó da saída. (Obs. Trata-se do conjunto capacitor de interconexão mais parasitários do nó).

⇒ **Siga as instruções da folha de respostas (item 3.9.a)**

c) Edite o mesmo arquivo '**inv_com_carga_topo.sp**' da seção 3.7, para adequar-se à instância *inv_simples.sp*, denominando-o **inv_simples_topo.sp**.

d) Refaça a simulação.

e) Traçar a curva ($V_{out} \times t$) e ($V_{in} \times t$) do primeiro inversor.

f) Meça os tempos de atrasos t_{pLH} e t_{pHL} (50% de V_{DD})

⇒ **Siga as instruções da folha de respostas (item 3.9.b)**

3.10 Mudança do leiaute e simulação das novas características transientes-2

a) No IC Station, refaça a extração. Use para *Output*, a opção **No RC**. Isto significa que as capacitâncias parasitárias não serão geradas. Grave em arquivo denominando-o '**inv_simples_1.sp**'.

b) Veja que no arquivo do circuito *inv_simples.sp* extraído, não há mais indicação de capacitores parasitários. Interprete esta diferença com a extração de 3.7

ATENÇÃO: Sem o inversor de carga e sem os parasitários de interconexão, as **capacitâncias a serem consideradas na simulação serão as do transistor 1, de acordo com os parâmetros do modelo do transistor, ou seja, $CL=C_{dreno}+C_{overlap}$** (ver parte teórica).

c) Use o mesmo arquivo '**inv_simples_topo.sp**' da seção 3.9, fazendo a instanciação para o arquivo extraído do item a).

g) Refaça a simulação.

h) Traçar a curva ($V_{out} \times t$) e ($V_{in} \times t$) do primeiro inversor.

i) Meça os tempos de atrasos t_{pLH} e t_{pHL} (50% de V_{DD}).

⇒ **Siga as instruções da folha de respostas (item 3.10)**