

# SSC0510

# Arquitetura de Computadores

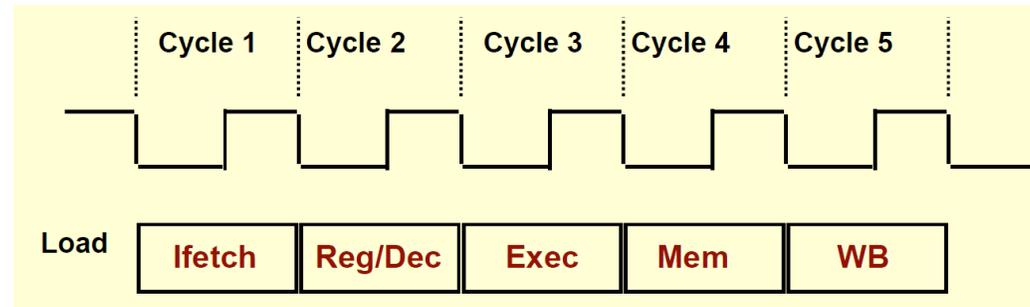
## 3ª Aula – Pipeline

Profa. Sarita Mazzini Bruschi

[sarita@icmc.usp.br](mailto:sarita@icmc.usp.br)

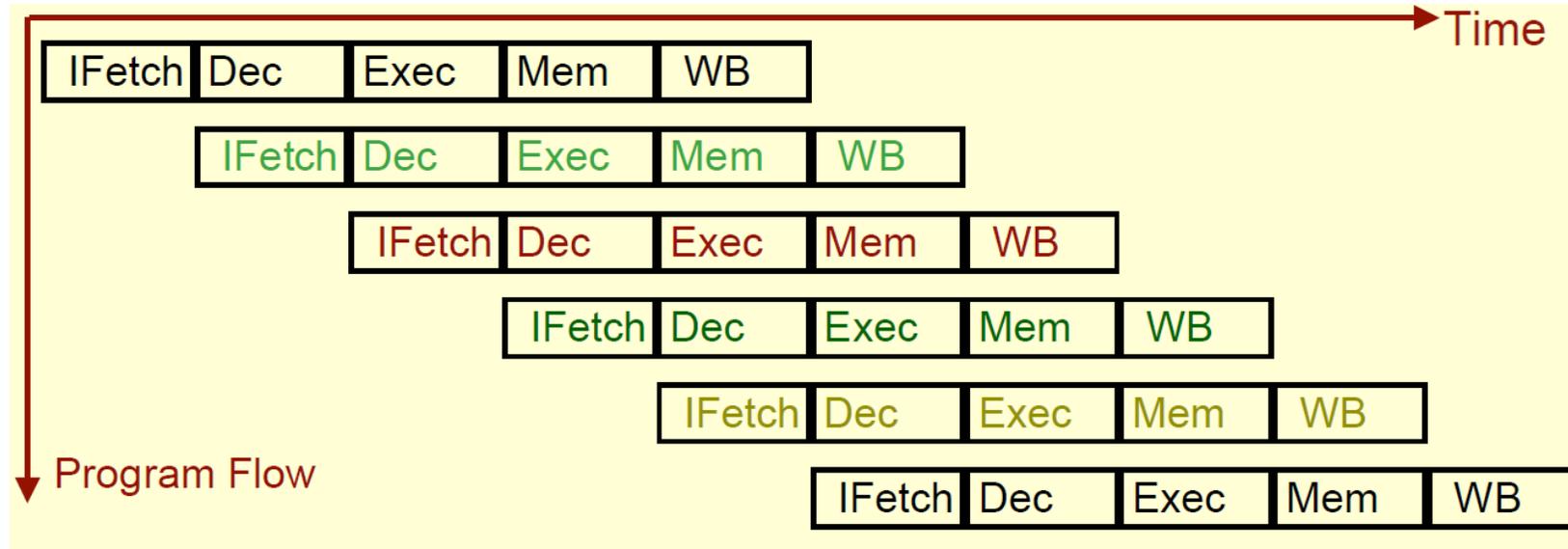
# Pipeline

- Estágios para execução da instrução:



- A instrução LOAD é a mais longa
- Todas as instruções seguem ao menos os seguintes passos:
  - Ifetch: Busca da instrução (*Instruction Fetch*)
  - Reg/Dec: Busca dos registradores (Reg) e decodificação da instrução (Dec)
  - Exec: Calcula o endereço de memória ou executa a operação na ULA
  - Mem: Acesso à memória principal
  - WB: Escreve o dado nos registradores

# Pipeline

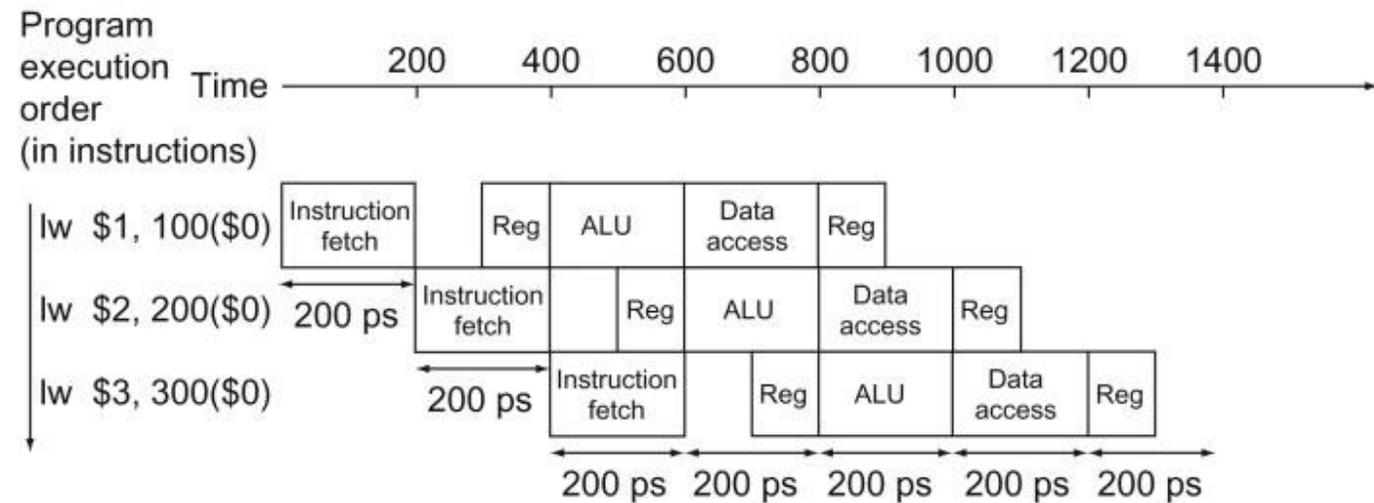
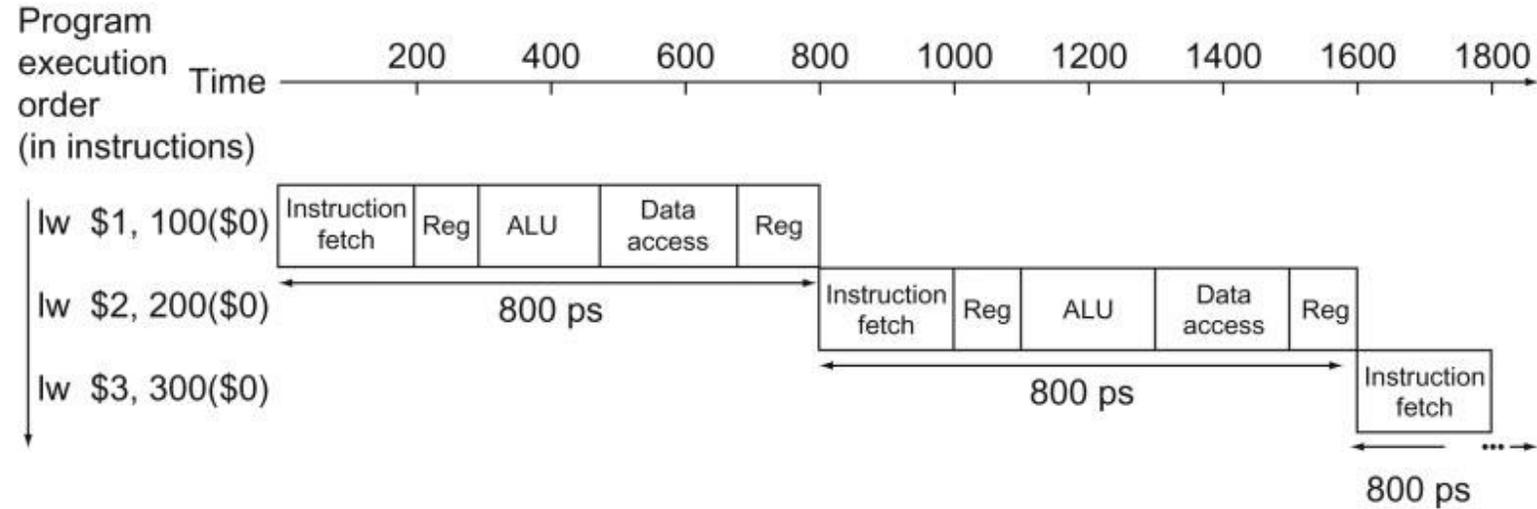


# Pipeline

- **Instruction fetch:** busca da instrução
- **Register read:** leitura dos registradores e decodificação da instrução
- **ALU operation:** execução da operação ou cálculo do endereço para acessar a memória
- **Data access:** acesso à memória
- **Register write:** escrita do dado calculado ou lido da memória no registrador

Instruction class	Instruction fetch	Register read	ALU operation	Data access	Register write	Total time
Load word (lw)	200 ps	100 ps	200 ps	200 ps	100 ps	800 ps
Store word (sw)	200 ps	100 ps	200 ps	200 ps		700 ps
R-format (add, sub, and, or, slt)	200 ps	100 ps	200 ps		100 ps	600 ps
Branch (beq)	200 ps	100 ps	200 ps			500 ps

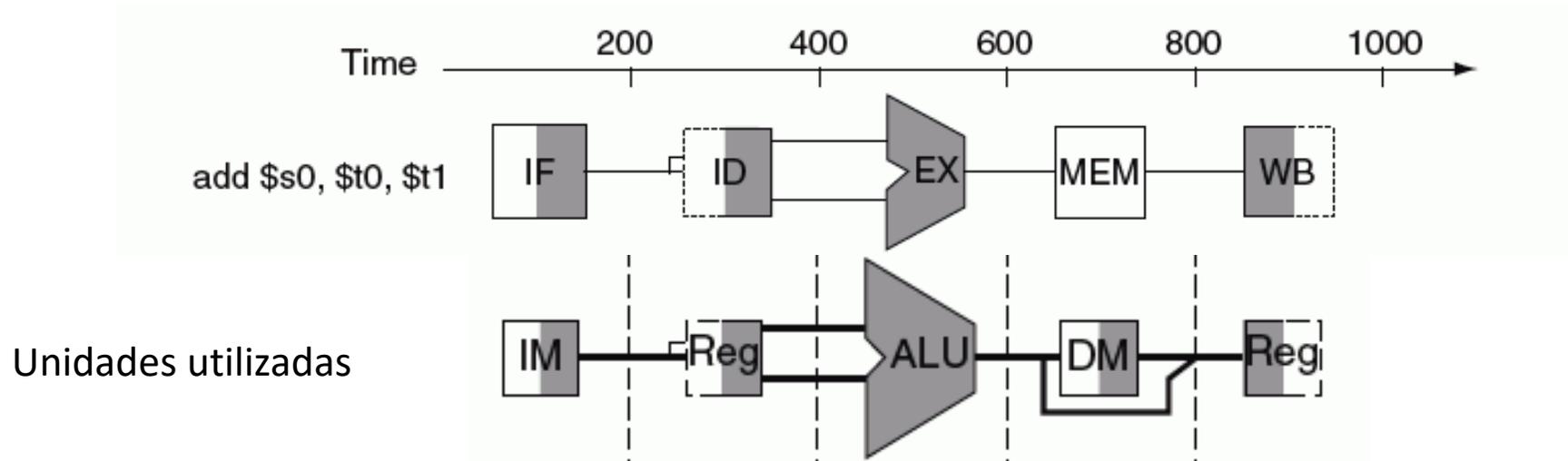
# Pipeline



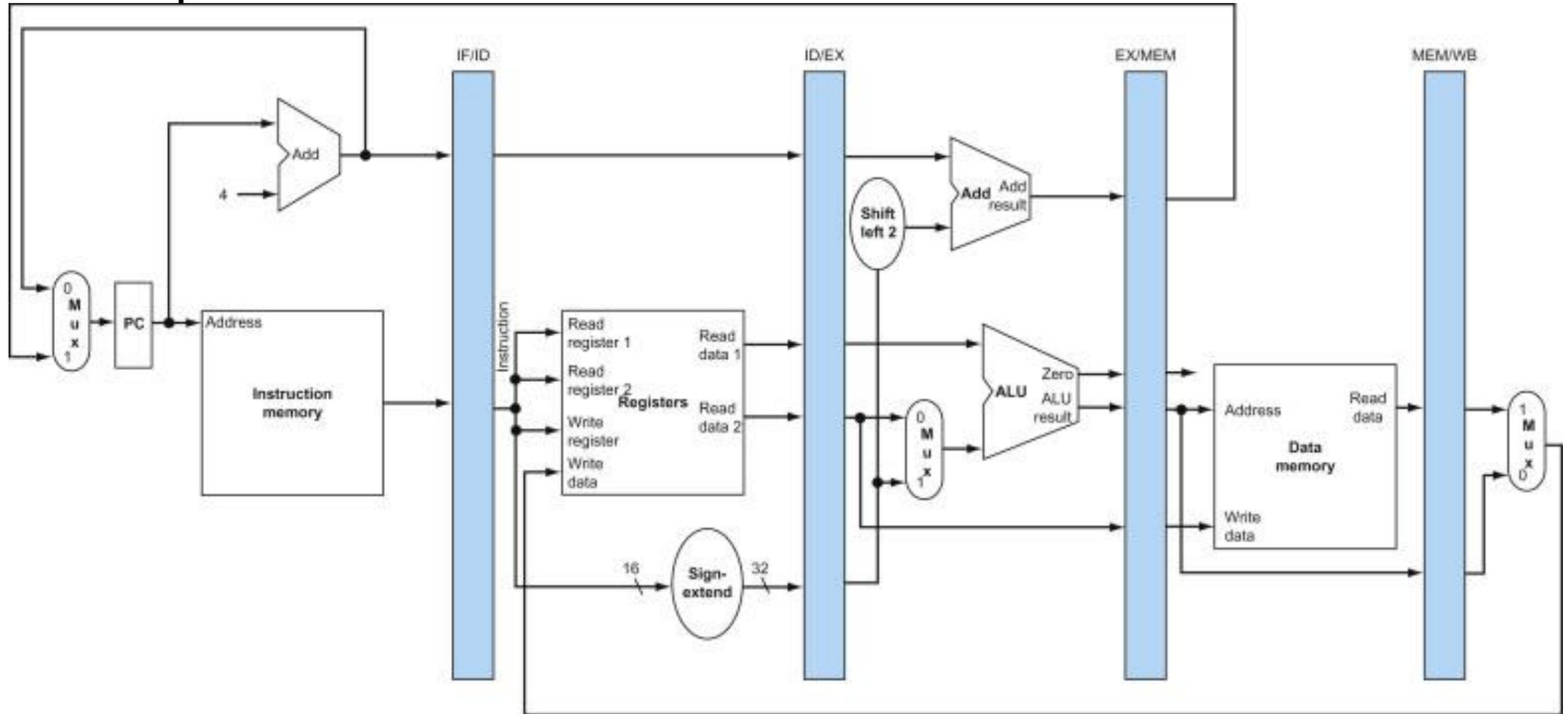
# Pipeline

- Nomenclatura

- O que está sombreado é o estágio que é usado na instrução
- O que está em branco é o estágio que não é usado pela instrução
- Tanto o estágio ID quanto o WB acessam o banco de registradores
  - Metade direita sombreada no estágio ID pois é a leitura dos registradores
  - Metade esquerda sombreada no estágio WB pois é a escrita nos registradores

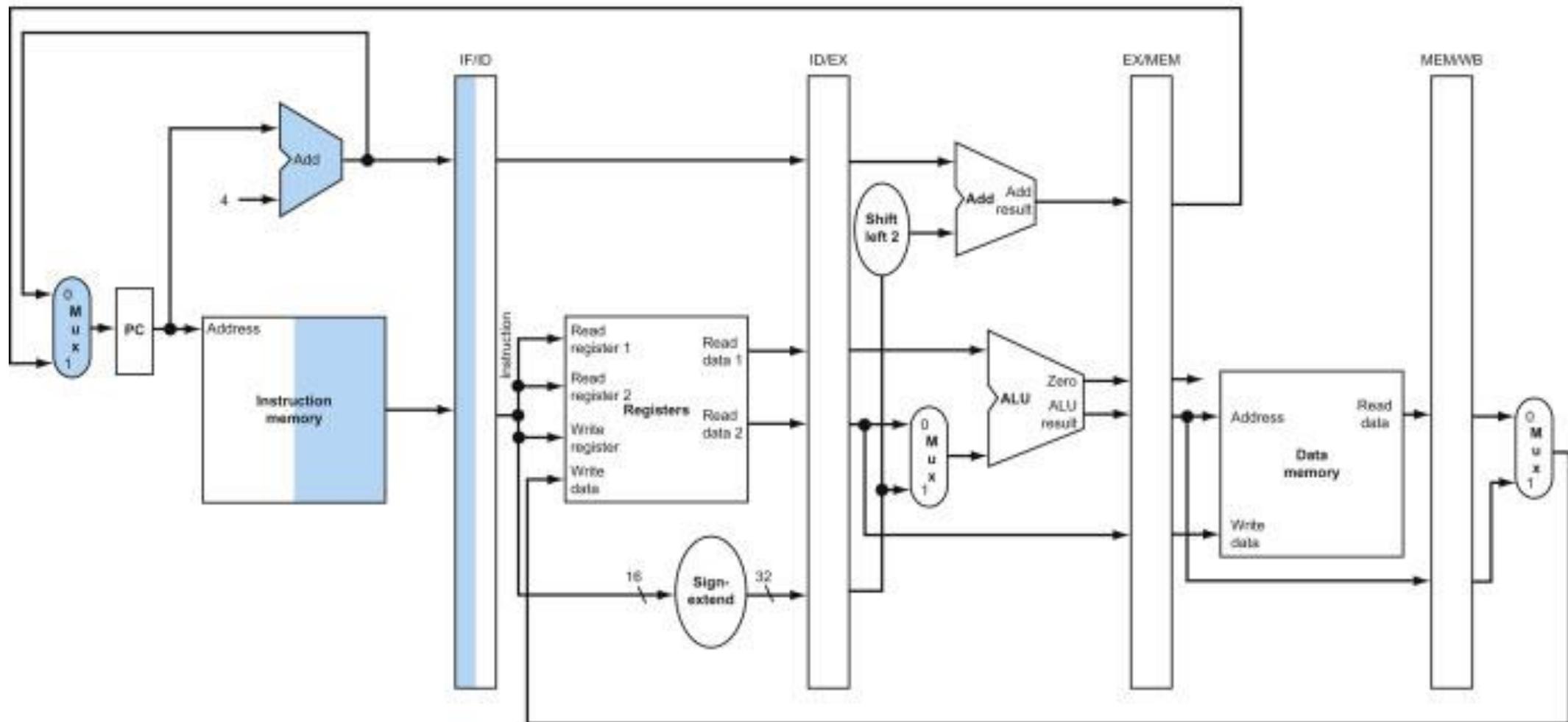
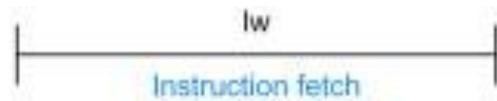


# Pipeline Datapath

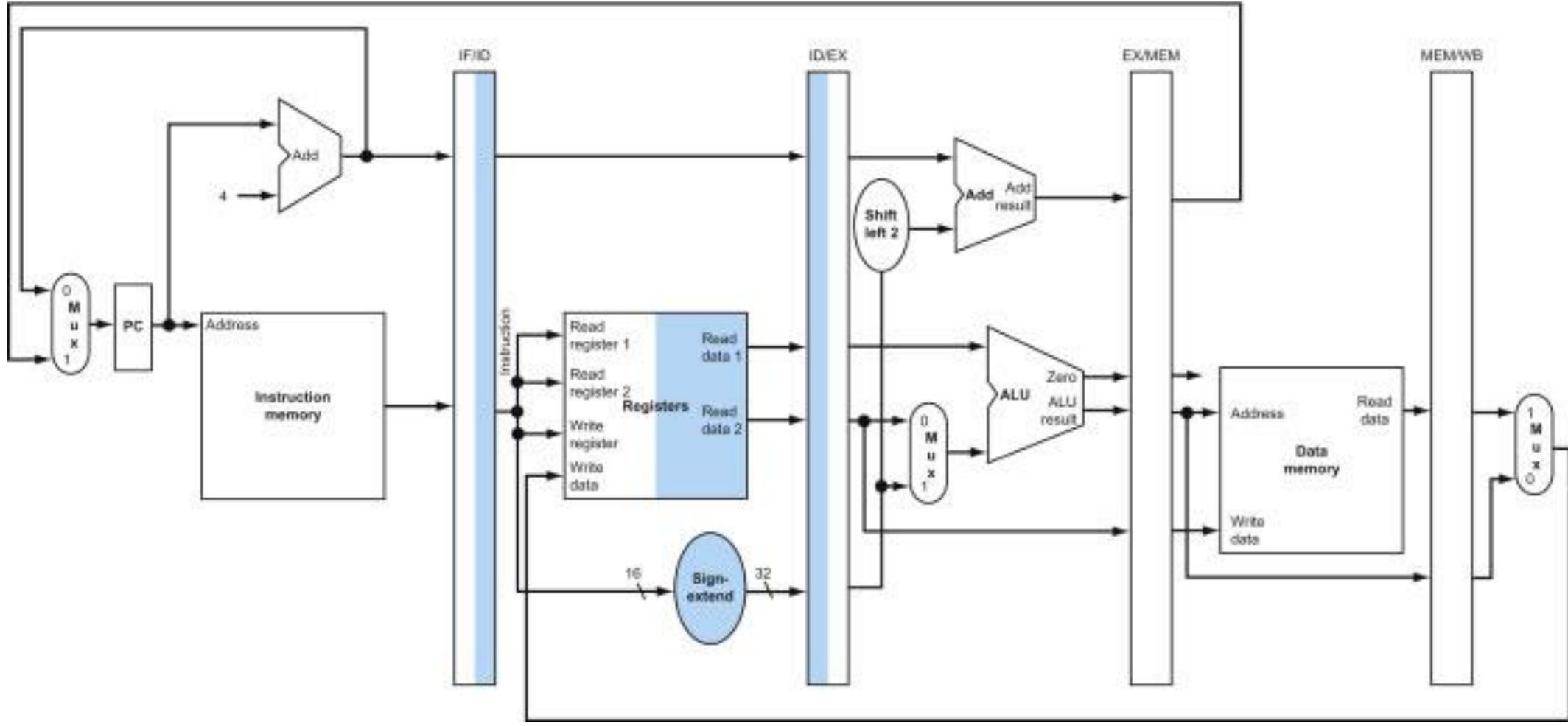


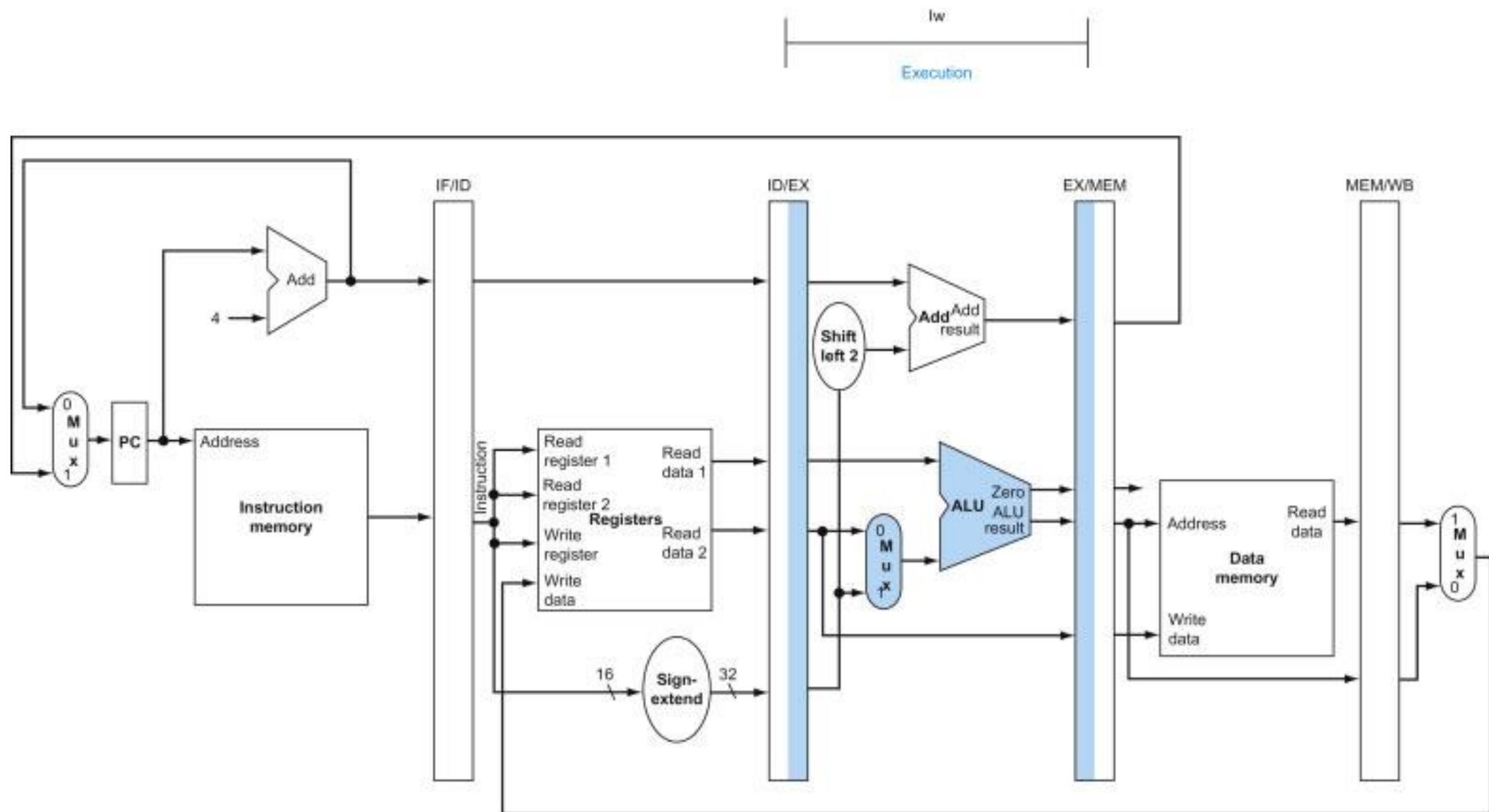
# Pipeline Datapath

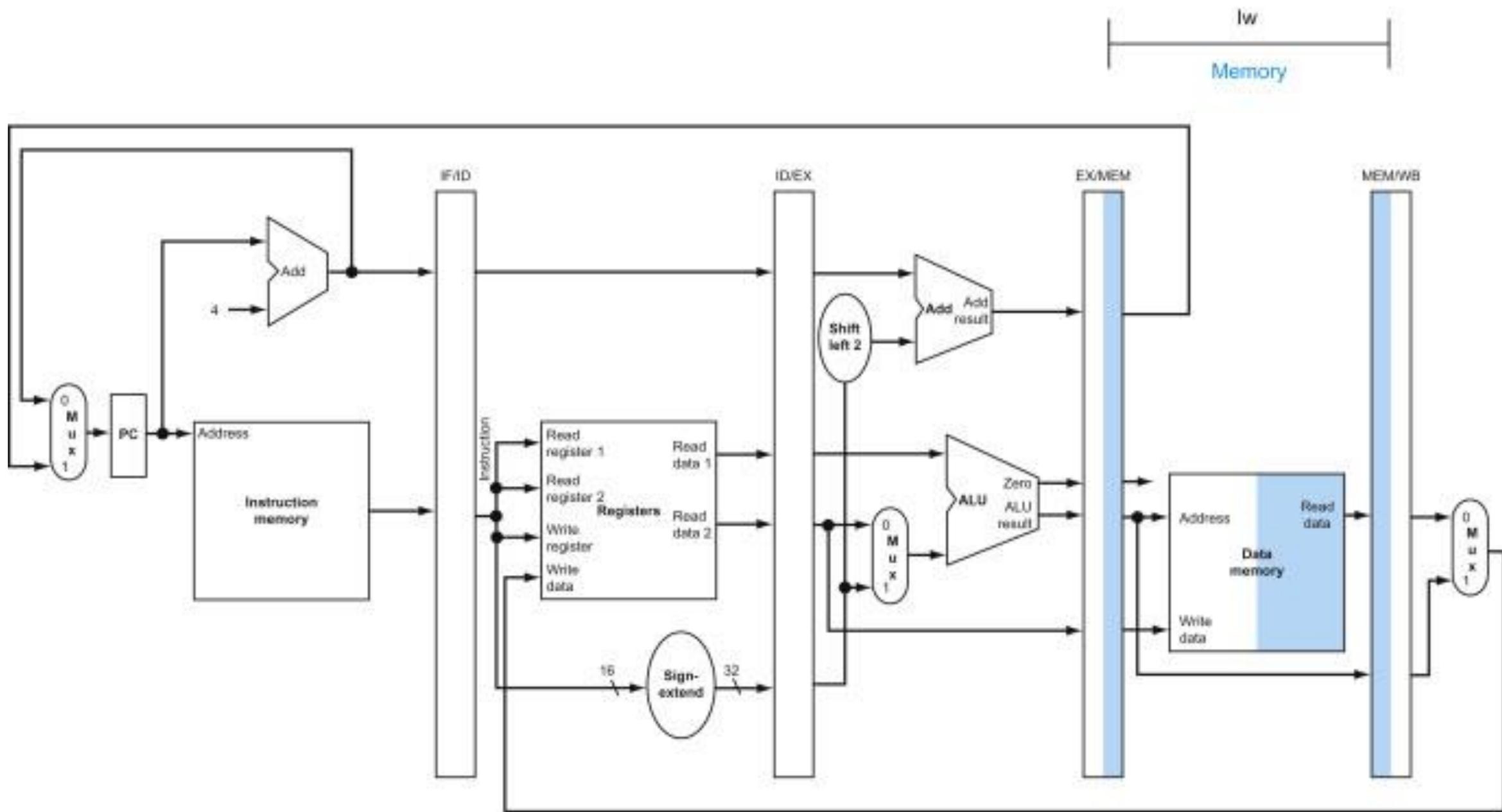
- Registradores que separam cada estágio do pipeline:
  - Devem ter largura suficiente para armazenar todos os dados correspondentes que passam por eles
    - IF/ID: separa os estágios IF e ID
    - ID/EX: separa os estágios ID e EX
    - EX/MEM: separa os estágios EX e MEM
    - MEM/WB: separa os estágios MEM e WB

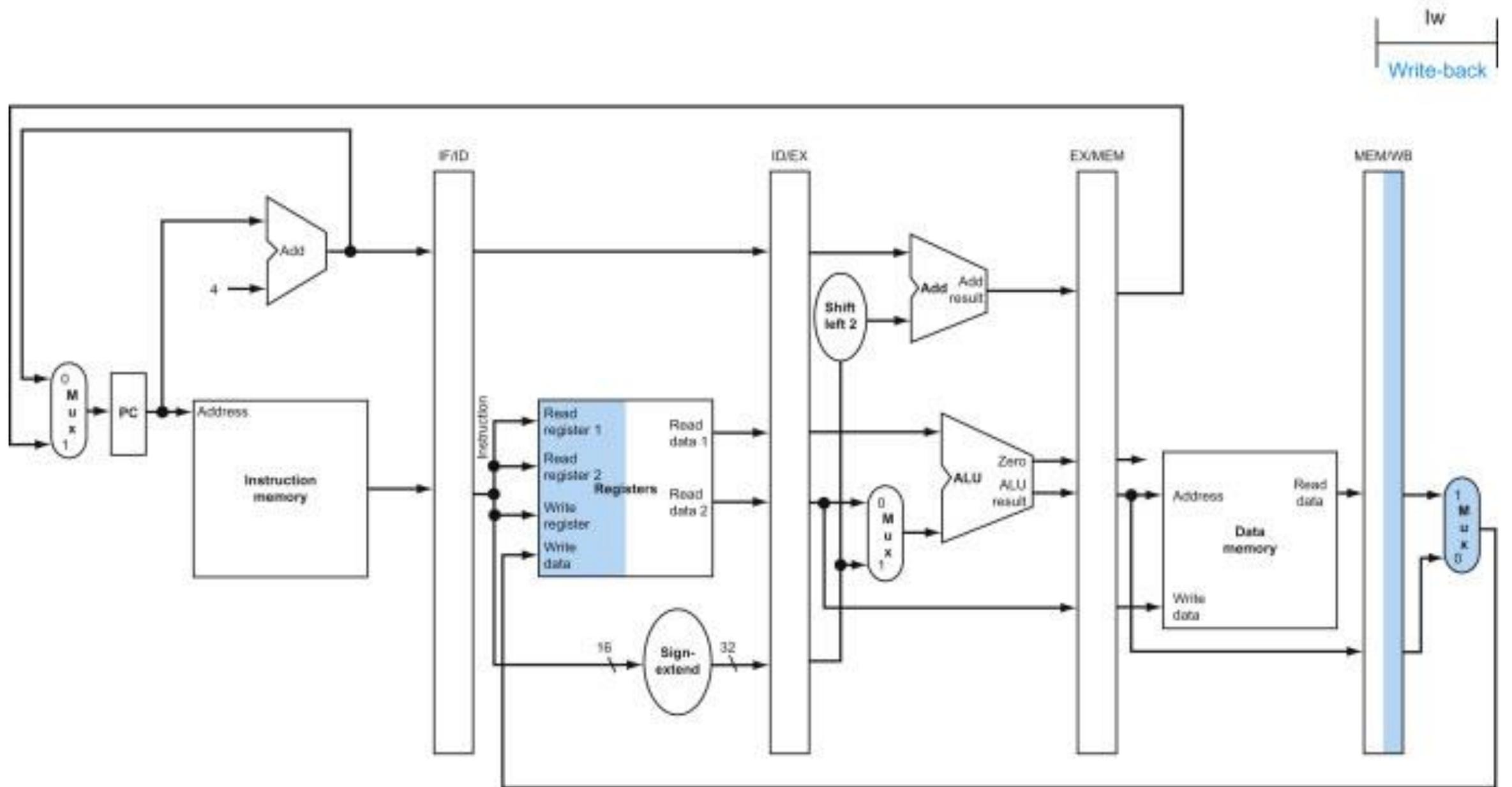


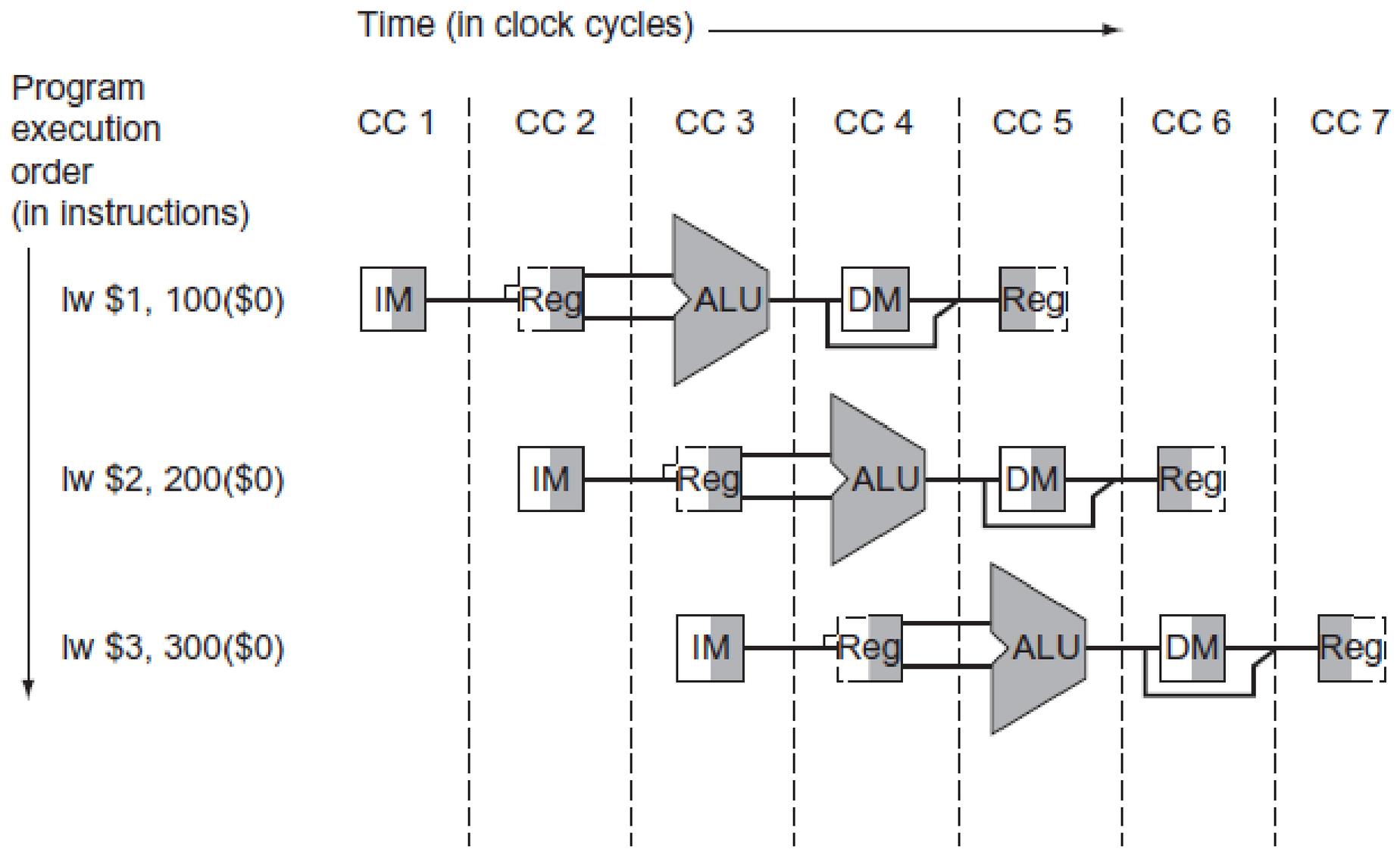
lw  
Instruction decode











Time (in clock cycles) →  
CC 1    CC 2    CC 3    CC 4    CC 5    CC 6    CC 7    CC 8    CC 9

Program  
execution  
order  
(in instructions)

