****

**Departamento de Engenharia Elétrica e de Computação**

# SEL 384 – Laboratório de Sistemas Digitais I

# PRÁTICA Nº08

“Dispositivos de Lógica Programável de Complexo (CPLD- “Complex Programable Logic Devices”)- Acionamento de LEDS de uma matriz e Display de 7 segmentos”

**1. Objetivos:**

* Projeto e síntese de circuitos sequenciais em dispositivo FPGA utilizando o esquemático do Quartus II;
* Aplicação de contadores e decodificadores no controle do acendimento de LEDs de uma matriz
* Verificação da coluna e linha da matriz em displays

**2. Material utilizado:**

* Configuração de Dispositivo Programável de Alta Complexidade HCPLD do tipo FPGA Cyclone IV-E da Altera
* Módulo de desenvolvimento Mercúrio IV – Macnica DWH
* Multímetro

**3. Procedimento Experimental:**

 3.1 Utilizando o software QUARTUSII v.12.OSP2**,** escolha o dispositivo HCPLD EP4CE30F23C7, família Cyclone IV-E e modifique o projeto da prática Nº7 de tal forma que o circuito acenda um LED por vez, sequencialmente a cada 5Hz em cada linha da 1ª coluna (LEDM\_C[0]), acendendo o LED da 1ª linha LEDM\_R[0]) a 8ª linha(LEDM\_R[7]), e faça a varredura até a última coluna (LEDM\_C[4].

As 5 colunas são nomeadas como LEDM\_C[0] até LEDM\_C[4], as 8 linhas como LEDM\_R[0] a LEDM\_R[7]. Ambas, linhas e colunas,são selecionadas com o nível ‘0’. O clock interno de 50MHz é nomeado como CLOCK\_50MHz.

 **Sugestão: use o projeto lpm\_counter e o decodificador 74138.**

 3.2 Utilize o decodificador para display, BCD para 7 segmentos, 7448 para mostrar nos displays de 7 segmentos DISP1( display da esquerda) e DISP0(display da direita), respectivamente, o número da coluna e da linha a qual o LED que está aceso pertence. Os segmentos do display acendem com nível’1’. A correspondência entre os nomes dos pinos e os segmentos dos displays é mostrada a seguir



|  |  |  |
| --- | --- | --- |
| segmento | DISP0 | DISP1 |
| a | DISP0\_D[0] | DISP1\_D[0] |
| b | DISP0\_D[1] | DISP1\_D[1] |
| c | DISP0\_D[2] | DISP1\_D[2] |
| d | DISP0\_D[3] | DISP1\_D[3] |
| e | DISP0\_D[4] | DISP1\_D[4] |
| f | DISP0\_D[5] | DISP1\_D[5] |
| g | DISP0\_D[6] | DISP1\_D[6] |
| Pto. decimal | DISP0\_D[7] | DISP1\_D[7] |

 **3.3** Configure o dispositivo no módulo de desenvolvimento Mercúrio IV e teste os circuitos projetados nos itens anteriores. Para programar a chave 1 do Kit deve estar na posição PROG FPGA e a chave 2 na posição ON. (como mostrado no Guia Rápido Mercúrio IV).

 3.4 Mostre o funcionamento do circuito sintetizado no FPGA após a programação.

 3.5 Responda: Qual a frequência que deve ser dividido o clock de 50MHz para seja visualizado como se toda a matriz de LEDs estivesse acesa, sabendo-se que o olho humano não identifica frequências acima de 24Hz?

 3.6 Como relatório entregue o circuito esquemático documentado e a resposta do item 3.5.

 Para criar um arquivo de projeto esquemático no software QuartusII siga os passos do arquivo “Manual QUARTUS” que se encontra no Moodle disciplinas Stoa USP.

INFORMAÇÕES SOBRE O PROJETO LPM\_COUNTER:









.

**4. Bibliografia:**

* zSite da ALTERA
* Fregni, E. & Saraiva, A.M., “ Engenharia do Projeto Lógico Digital”, Ed. Edgard Blücher Ltda.
* Tocci, J. R. , “Sistemas Digitais- Princípios e Aplicações