

PSI2613

PROJETO DE CIRCUITOS HÍBRIDOS E MÓDULOS ELETRÔNICOS

2017

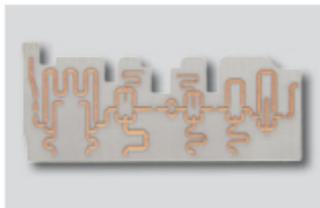
PSI2613 — PROJETO DE CIRCUITOS E MÓDULOS ELETRÔNICOS

AULA 06:

1. Fabricação de Placas de Circuito Impresso (PCI)
2. Substratos PCIs Diferenciados
3. PCIs Multicamadas
4. Projeto de PCIs Multicamadas

- Substratos isolantes:

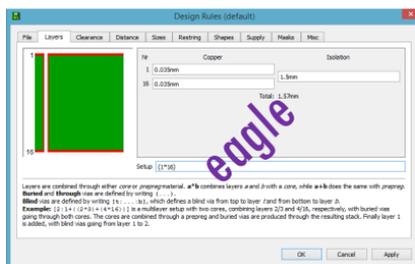
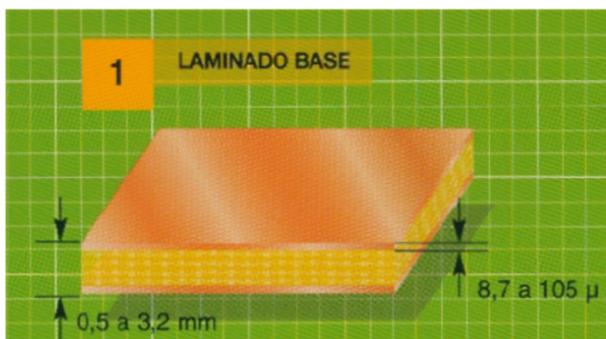
- FR4: resina epoxi reforçada (fibra de vidro)
 - Espessuras de 0,25mm (10mil) a 3,125mm (125mil)
 - Mais comum é 0,74mm (29mil) ou 1,5mm (59mil)
- RO4000: Fibra de vidro com particulado cerâmico
 - Excelente para RF e microondas
- TMM: idem (RF e μO)
- PTFE: Teflon (RF e μO)



TMM® substrate and
PTFE substrate

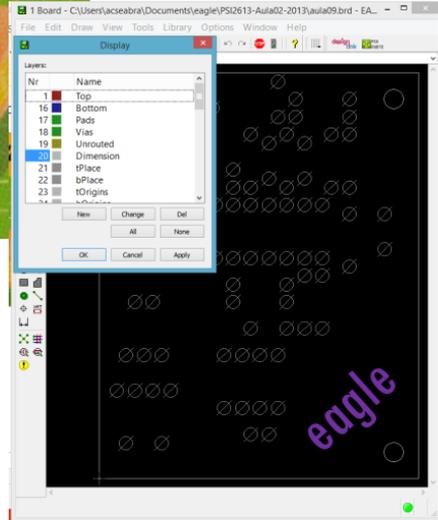
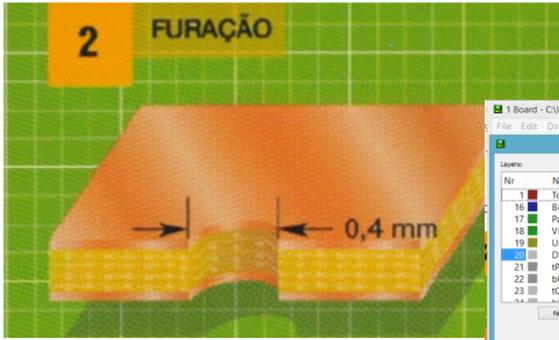
PSI2613-2014 A06-5

UM PROCESSO DE FABRICAÇÃO DE PLACAS INDUSTRIAL



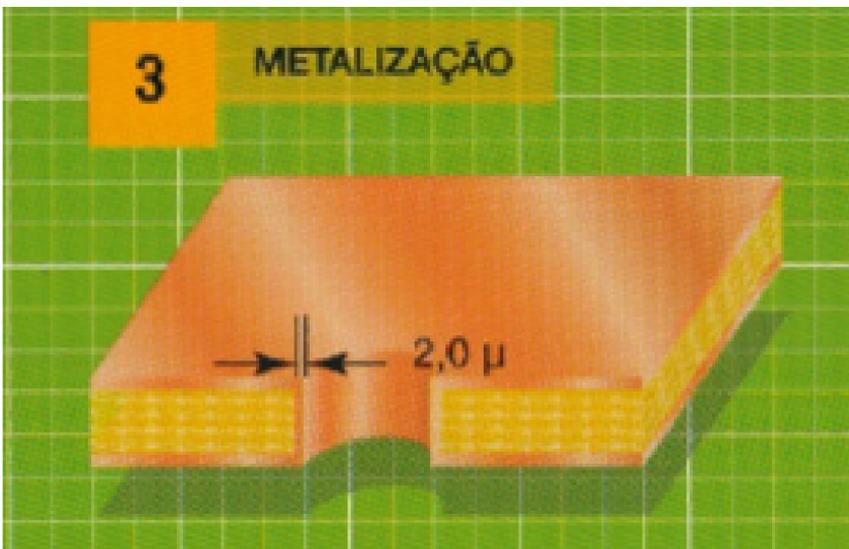
PSI2613-2014 A06-6

UM PROCESSO DE FABRICAÇÃO DE PLACAS INDUSTRIAL



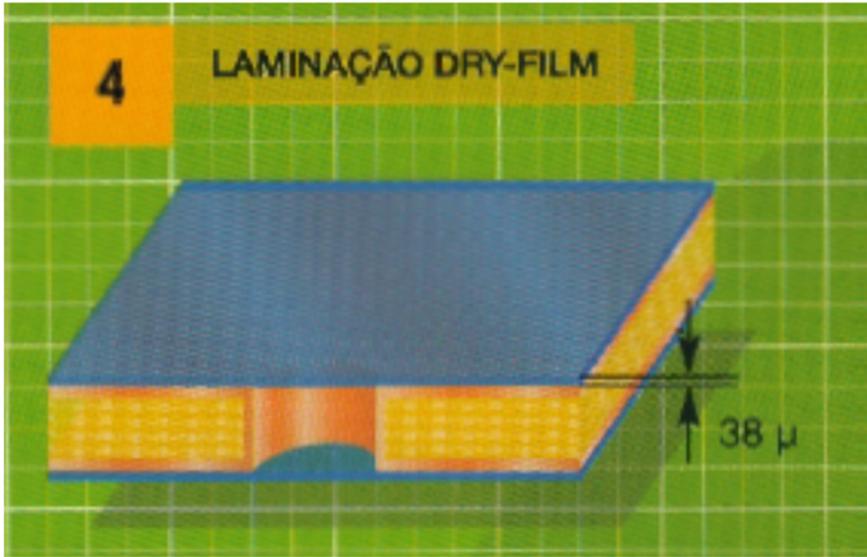
PSI2613-2014 A06-7

UM PROCESSO DE FABRICAÇÃO DE PLACAS INDUSTRIAL



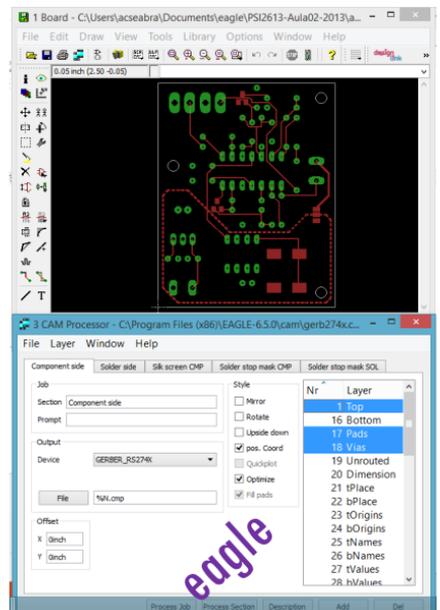
PSI2613-2014 A06-8

UM PROCESSO DE FABRICAÇÃO DE PLACAS INDUSTRIAL



PSI2613-2014 A06-9

UM PROCESSO DE FABRICAÇÃO DE PLACAS INDUSTRIAL



PSI2613-2014 A06-10

UM PROCESSO DE FABRICAÇÃO DE PLACAS INDUSTRIAL



PSI2613-2014 A06-11

UM PROCESSO DE FABRICAÇÃO DE PLACAS INDUSTRIAL



PSI2613-2014 A06-12

UM PROCESSO DE FABRICAÇÃO DE PLACAS INDUSTRIAL

8

REMOÇÃO DO DRY-FILM



PSI2613-2014 A06-13

UM PROCESSO DE FABRICAÇÃO DE PLACAS INDUSTRIAL

9

CORROSÃO



PSI2613-2014 A06-14



Design Rules (default)

File Layers Clearance Distance Sizes Restring Shapes Supply Masks Misc

Minimum Width: 6mil
 Minimum Drill: 12mil
 Min. Micro Via: 9.99mm
 Min. Blind Via Ratio: 0.5

Minimum Sizes of objects in signal layers and of drill holes.
Min. Micro Width and Minimum Drill may be overwritten by larger values in the *Net* class for specific signals.
Min. Micro Via applies to *Micro* vias that are exactly one layer deep. Typical values are in the range 50...100 micron. A value larger than **Minimum Drill** (e.g. the default value of 9.99mm) means there are no micro vias.
Min. Blind Via Ratio defines the minimum drill diameter of a blind via must have if it goes through a layer of thickness *Z*. Board manufacturers usually give this "aspect ratio" in the form 1 : 0.5, where 0.5 would be the value that has to be entered here.

OK Cancel Apply

Design Rules (default)

File Layers Clearance Distance Sizes Restring Shapes Supply Masks Misc

	Min	%	Max	Diameter	
Pads	Top	10mil	25	20mil	
	Inner	10mil	25	20mil	<input type="checkbox"/>
	Bottom	10mil	25	20mil	
Vias	Outer	10mil	25	20mil	
	Inner	8mil	25	20mil	<input type="checkbox"/>
	Micro Vias	Outer	4mil	25	20mil
	Inner	4mil	25	20mil	

Settings for pads and vias are defined in percent of the drill diameter (limited by **Min** and **Max**). If the diameter of an actual pad or via would result in a larger restring, that value will be used in the outer layers.

If the **Diameter** option is checked the actual pad or via diameter will be taken into account in the inner layers, too.

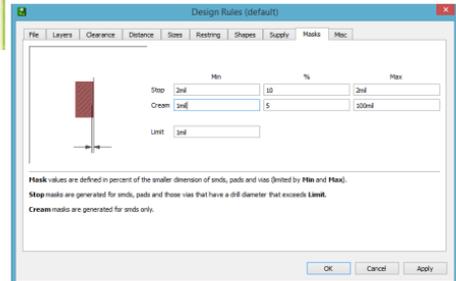
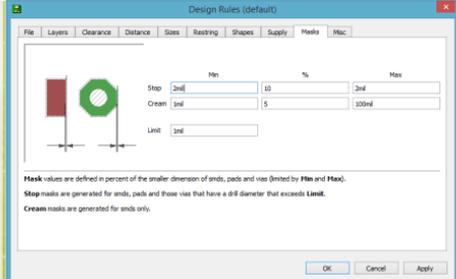
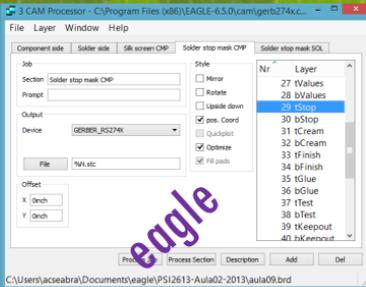
Micro Vias are *Micro* vias that are exactly one layer deep and have a drill diameter that is smaller than the **Minimum Drill** value defined under *Sizes* (which may be overwritten by a larger **Drill** value in the *Net* class).

OK Cancel Apply

PSI2613-2014 A06-15

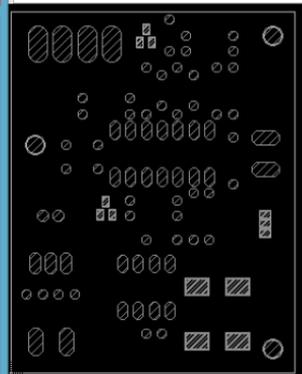
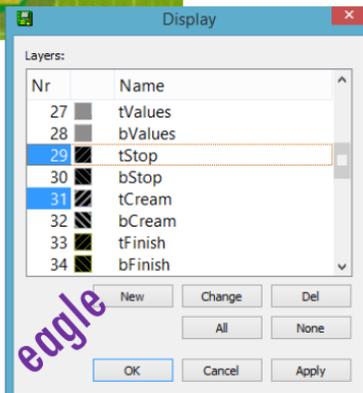


UM PROCESSO DE FABRICAÇÃO DE PLACAS INDUSTRIAL



PSI2613-2014 A06-17

UM PROCESSO DE FABRICAÇÃO DE PLACAS INDUSTRIAL



PSI2613-2014 A06-18

UM PROCESSO DE FABRICAÇÃO DE PLACAS INDUSTRIAL

14

ACABAMENTO DA SUPERFÍCIE

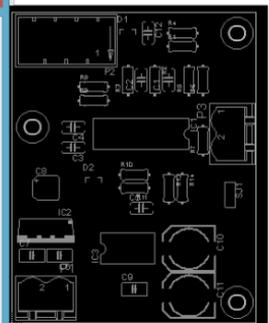
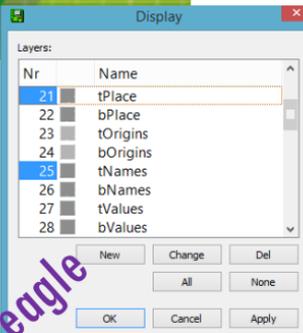


PSI2613-2014 A06-19

UM PROCESSO DE FABRICAÇÃO DE PLACAS INDUSTRIAL

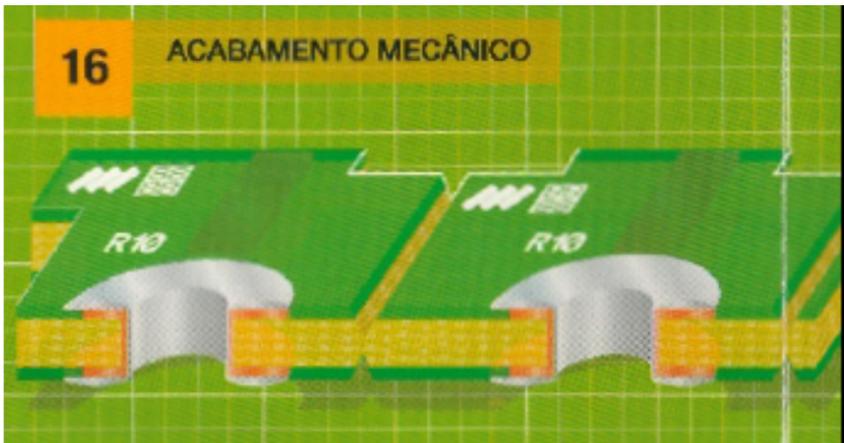
15

MÁSCARA DE COMPONENTES (SILK)



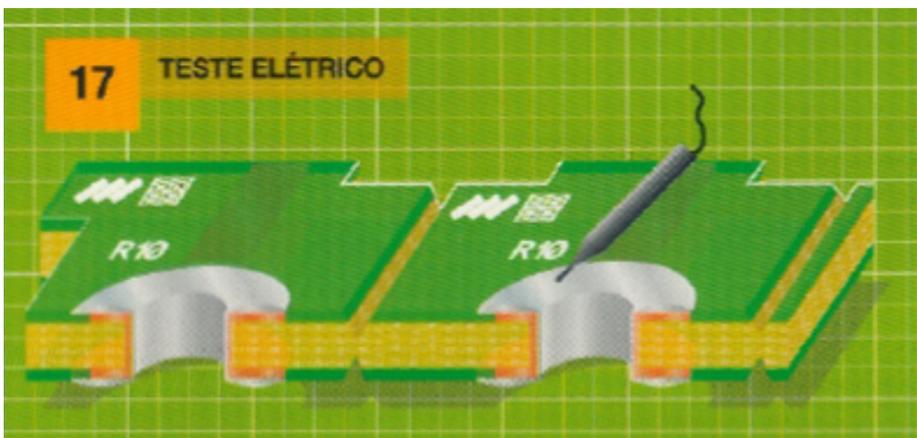
PSI2613-2014 A06-20

UM PROCESSO DE FABRICAÇÃO DE PLACAS INDUSTRIAL



PSI2613-2014 A06-21

UM PROCESSO DE FABRICAÇÃO DE PLACAS INDUSTRIAL



PSI2613-2014 A06-22

	PRODUTO	ESPECIFICAÇÃO	(SIMPLES) FACE	DUPLA FACE	MULTILAYER
1	Laminado Base (Dielectric)	FR2	✓		
		FR4	✓		✓
		DEM-1	✓	✓	
		DEM-3	✓	✓	
		Teflon	✓	✓	
15	Espessura Cobre	Duvid	✓		
		1/4 OZ (8,7µ)	✓	✓	
		1/2 OZ (17,5µ)	✓	✓	
		1 OZ (35µ)	✓	✓	
		2 OZ (70µ)	✓	✓	
13	Simbologia (Silk)	3 OZ (105µ)	✓	✓	
		Branco	✓	✓	
		Amarillo	✓	✓	
		Preto	✓	✓	
		Verde	✓	✓	
14	Máscara Solda Fotodefinível (LPI)	Preto	✓	✓	
		Vermelho	✓	✓	
		Azul	✓	✓	
		Transparente	✓	✓	
		Solder Dnt (peelable)	✓	✓	
16	Máscara Temporária	OSP	✓	✓	
		HASL (Hot Air)	✓	✓	
		Ni/Au (condutos)	✓	✓	
		Catodo	✓	✓	
		(catodo)	✓	✓	
17	Acabamento Superfície	Ouro Químico	✓	✓	
		Ouro Eletrolítico	✓	✓	
		3µm (12mils)	✓	✓	
		5µ (0,196mils)	✓	✓	
		Poster	✓	✓	
2	Mener Furo (Após Metal.) Tolerância de Posic.	Vinco	✓	✓	
		Plastado	✓	✓	
		0,40mm (16mils)	✓	✓	
6	Tolerância de Diâmetro	0,05mm (2mils)	✓	✓	

10	Trilha Largura Espaçamento (mínimo)	0,10mm (4mils)	✓	✓	✓	
		0,125mm (5mils)	✓	✓	✓	
6	Anel Mínimo Maior Tamanho de Painel	480 x 560mm)	✓	✓	✓	
		25µ	✓	✓	✓	
4	Espessura do Cobre no Furo (mínimo)	38µ	✓	✓	✓	
		48µ	✓	✓	✓	
17	Filme Seco (Dry-Film)	Teste Elétrico	✓	✓	✓	
		Tensão Aplicada	50 a 250 VDC	✓	✓	
		Isolação/Curto	10 kOhm a 100 MOhm	✓	✓	
	5	Medição de Resistividade	Continuidade/Aberto	1 Ohm a 30 kOhm	✓	✓
			Largura	5 Ohm a 30 kOhm	✓	✓
5	Distância Mínima (centrocentro)	Mínima (Pc)	0,076mm (3mils)	✓	✓	
		0,150 (6mils)	✓	✓	✓	
5	Filtros (Fotopigmento)	0,007"	✓	✓	✓	

Espessura tradicional do cobre = 35 mm (1 oz)
 Largura mínima de pista = 4 mils (=0,1 mm)
 Laminado FR4 com espessura de 1,5mm

PSI2613-2014 A06-23

PSI2613 — PROJETO DE CIRCUITOS E MÓDULOS ELETRÔNICOS

AULA 06:

1. Fabricação de Placas de Circuito Impresso (PCI)
2. Substratos PCIs Diferenciados
3. PCIs Multicamadas
4. Projeto de PCIs Multicamadas

PSI2613-2014 A06-24

PLACAS DE CIRCUITO IMPRESSO FLEXÍVEIS

- Substratos isolantes e flexíveis:
 - Substratos rigi-flex: poliimida flexível



Rigid-flex substrates

- Flexíveis:



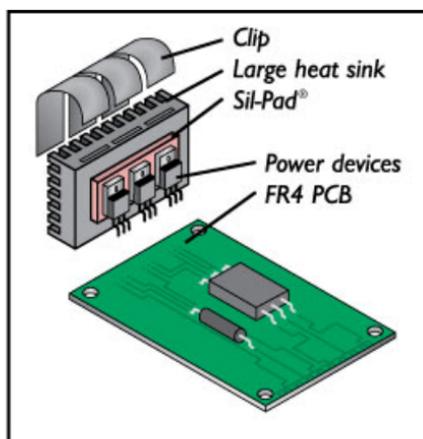
Flexible substrates

PSI2613-2014 A06-25

PLACAS DE CIRCUITO IMPRESSO DE ALTA CONDUTIVIDADE TÉRMICA

- Substratos de Alta Condutividade Térmica (TClad)

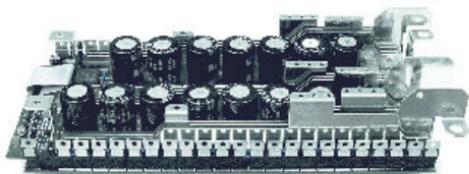
Tradicional



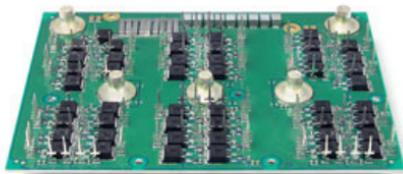
PSI2613-2014 A06-26

- Substratos de Alta Condutividade Térmica (TClad)

Original Power Board Assembly (Actual)

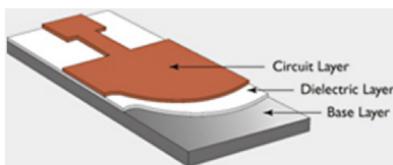


New Power Board Assembly (Actual)



PSI2613-2014 A06-27

Anatomia de uma placa Thermal Clad:



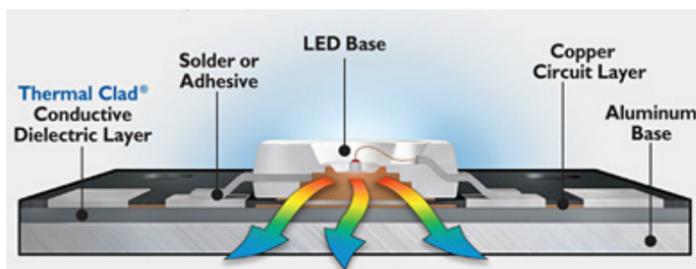
Circuit Layer This is the printed circuit foil with thickness of 1oz to 10oz (35-350 μ m) in standard Thermal Clad.

Dielectric Layer This offers electrical isolation with minimum thermal resistance. The multiple-layer dielectric is the key element of Thermal Clad, and bonds the base metal and circuit metal together. The dielectric has UL recognition, simplifying agency acceptance of final assemblies.

Base Layer This is often aluminum, but other metals such as copper may also be used. The most widely used base material thickness is 0.062" (1.6mm) in aluminum, although many thicknesses are available. In some applications, the base layer of metal may not be needed.

PSI2613-2014 A06-28

- Aplicação: High Power LEDs

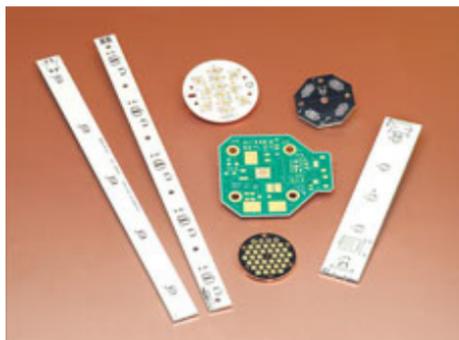


PSI2613-2014 A06-29

- Aplicação TClads

High Power LEDs

Acionamento de Motores



PSI2613-2014 A06-30

PSI2613 — PROJETO DE CIRCUITOS E MÓDULOS ELETRÔNICOS

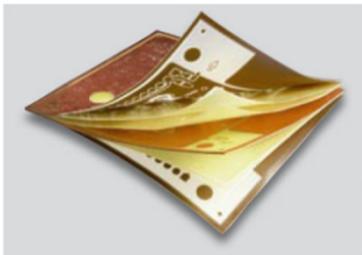
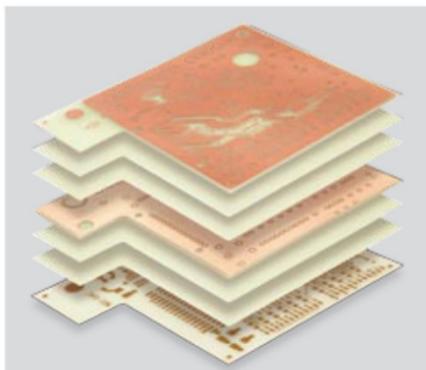
AULA 06:

1. Fabricação de Placas de Circuito Impresso (PCI)
2. Substratos PCIs Diferenciados
3. **PCIs Multicamadas**
4. Projeto de PCIs Multicamadas

PSI2613-2014 A06-31

PLACAS DE CIRCUITO IMPRESSO MULTICAMADAS

Placas multicamadas (multilayers):



PSI2613-2014 A06-32

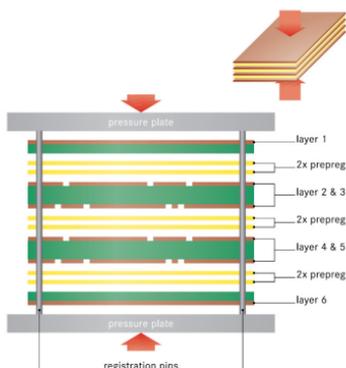
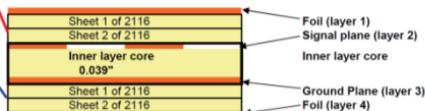
- Pre-preg (pre-impregnated composite fibers)
 - laminados sem camada condutora:

- Fluido a altas temperaturas (180 C-230 C)
- 15mm menores que a placa
- Pinos de registro (alinhamento)

Thickness

5.1
4.2

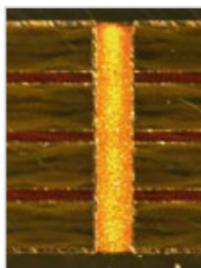
The stack-up for our typical 0.062" 4 layer with one ground and one signal plane using 1 oz Cu and two sheets of 2116 pre-preg on each side of the core would look like this

4.7
5.1

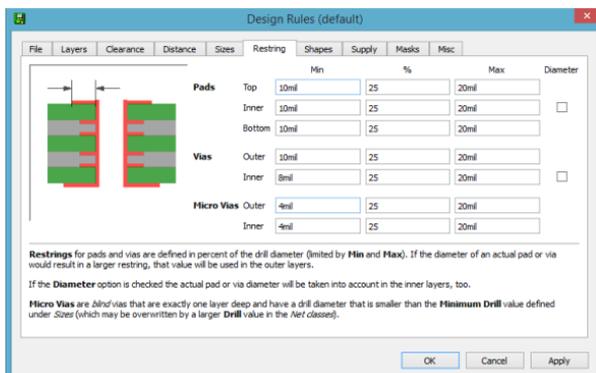
PSI2613-2014 A06-33

Exemplo

vias



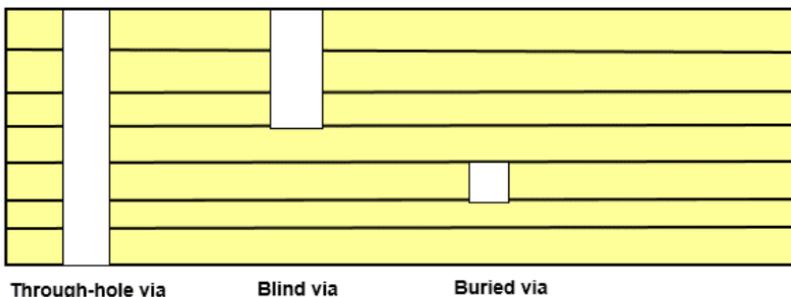
layer 1
 layer 2
 layer 3
 layer 4
 layer 5



PSI2613-2014 A06-34

Vias: orifícios recobertos com camada condutora metálica
Existem três tipos de vias:

- Plated Through Hole (PTH)
- Blind (cega)
- Buried (enterrada)

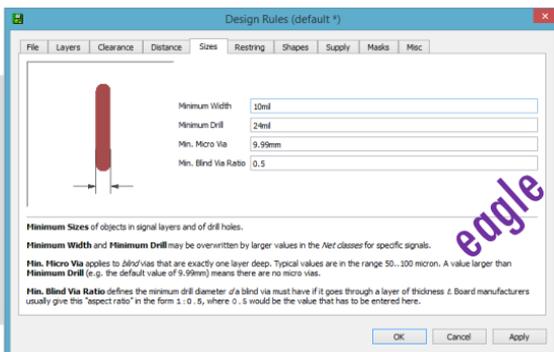


PSI2613-2014 A06-35

- Ferramentas (brocas) de furação:



0,2mm = 8 mils



PSI2613-2014 A06-36

Through-hole vs Blind e Buried

•Through-holes:

- são mais baratos porque faz-se a laminação de todas as camadas e fura-se tudo junto
- tomam espaço em todas as camadas, mesmo se forem usados apenas em algumas

•Vias blind e buried:

- são mais caras pois os furos são feitos individualmente antes de juntar as camadas para laminação
- são usadas em substratos muito densos para aumentar a densidade de compactação

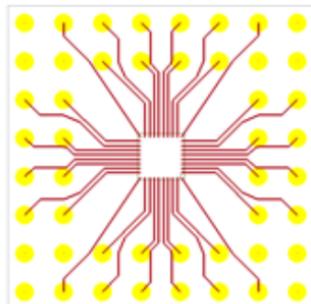
PSI2613 — PROJETO DE CIRCUITOS E MÓDULOS ELETRÔNICOS

AULA 06:

1. Fabricação de Placas de Circuito Impresso (PCI)
2. Substratos PCIs Diferenciados
3. PCIs Multicamadas
4. Projeto de PCIs Multicamadas

PROJETO DE PCIS MULTICAMADAS (LINHAS DE TRANSMISSÃO)

- Em muitos circuitos elétricos, o comprimento dos fios conectando os componentes pode ser ignorado (frequências abaixo de 1 MHz em geral), ou seja, a tensão no fio em um determinado instante de tempo pode ser considerada a mesma em todos os pontos
- No entanto, quando a tensão muda em um intervalo de tempo comparável ao tempo que o sinal leva para transitar no fio, o comprimento do fio se torna importante e ele deve ser tratado como uma linha de transmissão
- As duas características mais importantes de uma linha de transmissão são:
 - A impedância característica da linha
 - O atraso de propagação



PSI2613-2014 A06-41

PROJETO DE PCIS MULTICAMADAS

- PCIs multicamadas são justamente utilizados em projetos mais complexos que trabalham em frequências elevadas, onde a distância percorrida pelo sinal na placa é da ordem de grandeza da frequência desse sinal:

$$v = \frac{c}{\sqrt{\epsilon_r}} = \lambda f$$

c = velocidade da luz

ϵ_r = constante dielétrica do material ao redor da pista (4.6 para o FR4)

λ = comprimento da onda

f = frequência da onda

$$\text{tempo (atraso) de propagação/m} = \frac{1}{v} = \frac{\sqrt{\epsilon_r}}{c}$$

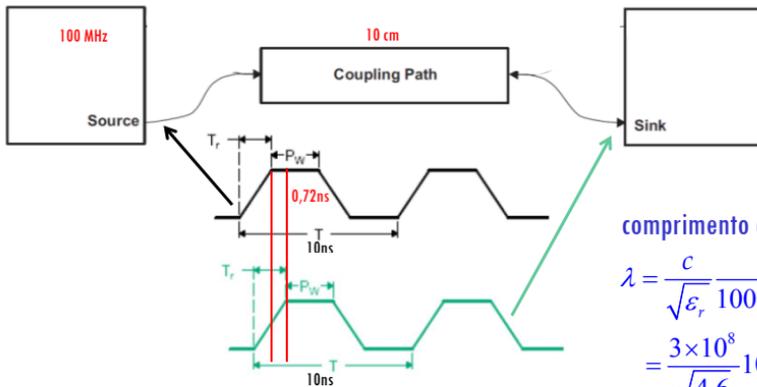
$$\text{tempo total de atraso} = x \frac{\sqrt{\epsilon_r}}{c} \quad x = \text{distância em metros}$$

PSI2613-2014 A06-42

Exemplo de tempo de atraso: Sinais de 100 MHz em 10cm

$$\text{tempo total de atraso} = x \frac{\sqrt{\epsilon_r}}{c} = 0.1m \times \frac{\sqrt{4.6}}{3 \times 10^8 m/s} = 0,72ns$$

$$\text{período de um sinal de 100 MHz} = \frac{1}{100 \times 10^6 \text{ Hz}} = 10ns$$



PSI2613-2014 A06-43

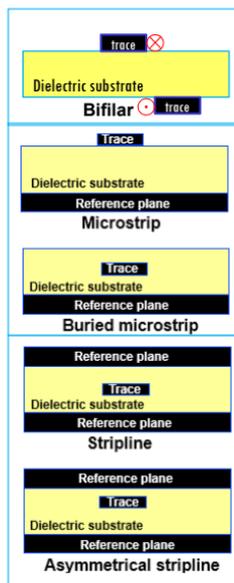
PROJETO DE PCIS MULTICAMADAS

- Sistematizando nossas observações, para estimar o comportamento de sinais de alta frequência é necessário:
 - Calcular os atrasos de propagação das linhas
 - Analisar as reflexões causadas por descasamentos de impedâncias
 - Calcular impedâncias das linhas (de transmissão)

PSI2613-2014 A06-44

Tipos de Linhas de Transmissão

- A impedância característica de uma linha de transmissão é a razão instantânea das amplitudes de um sinal de tensão e do sinal de corrente propagando-se ao longo da linha na ausência de reflexões
- Ao lado temos três tipos principais de linhas de transmissão:
 - Bifilar
 - Microlinhas (Microstrips)
 - Striplines
- Independente do tipo, a impedância característica é controlada por:
 - Espessura do traço
 - Largura do traço
 - A distância entre a linha e o retorno
 - A constante dielétrica da camada isolante



PSI2613-2014 A06-45

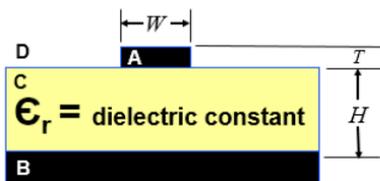
IMPEDÂNCIAS DE LINHAS DE TRANSMISSÃO

Impedância de Microlinhas (Microstrip)

- Na configuração de Microstrip, o condutor (A) está separado do plano de referência (B) por um substrato dielétrico (C); Tipicamente o dielétrico superior (D) é o ar

$$Z_0 = \frac{87}{\sqrt{\epsilon_r + 1.41}} \ln \left(\frac{5.98H}{0.8W + T} \right) \text{ Ohms}$$

que Constante Dielétrica utilizar?

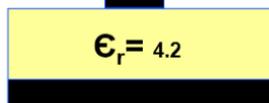


$$\text{when } 0.1 < \frac{W}{H} < 3.0, \quad 1 < \epsilon_r < 15$$

PSI2613-2014 A06-46

- Os campos EM de uma microlinha (microstrip) de transmissão passam através do ar ($\epsilon_r = 1$) e do material do substrato ($\epsilon_r > 1$). A constante dielétrica efetiva vista pela microlinha de transmissão é aproximadamente a média das duas constantes dielétricas.

$$\epsilon_r = 1$$



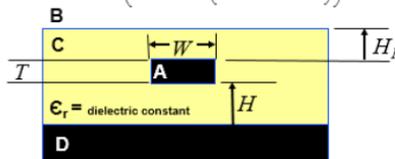
- A constante dielétrica efetiva no caso da figura (FR6 e ar) é $\epsilon_{\text{eff}} = 2,6$.

- Na configuração de Microstrip Enterrada (buried), o condutor (A) está separado do plano de referência (D) por um substrato dielétrico (C); O condutor está embebido em um substrato dielétrico tal que o dielétrico superior é uma combinação de ar (B) com o substrato dielétrico (C)

$$Z_0 = \frac{56}{\sqrt{\epsilon'}} \ln \left(\frac{5.98H}{0.8W + T} \right) \text{ Ohms}$$

where the effective dielectric constant is

$$\epsilon' = \epsilon_r \left[1 - \exp \left(\frac{-1.55H_1}{H} \right) \right]$$

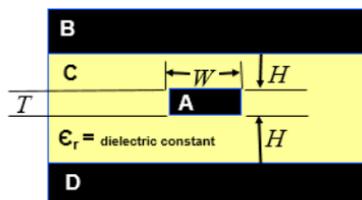


when $H_1 > 1.2H$, $1 < \epsilon_r < 15$

Impedância de Striplines

- Na configuração de Stripline, o condutor (A) está ensanduichado entre os planos de terra (B e D). A estrutura é suportada pelo dielétrico (C).

$$Z_o = \frac{60}{\sqrt{\epsilon_r}} \ln \left(\frac{1.9(2H + T)}{0.8W + T} \right) \text{ Ohms}$$



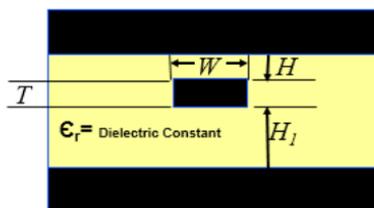
$$\text{when } 0.1 < \frac{W}{H} < 2.0, \frac{T}{H} < 0.25, 1 < \epsilon < 15$$

PSI2613-2014 A06-49

Impedância de Striplines

- Na configuração de Stripline Assimétrica, o condutor (A) está ensanduichado entre os planos de terra (B e D) e a estrutura é suportada pelo dielétrico (C). No entanto a distância (H) do condutor para o plano superior é diferente da distância (H_1) para o plano inferior

$$Z_o = \frac{80}{\sqrt{\epsilon_r}} \ln \left(\frac{1.9(2H + T)}{0.8W + T} \right) \left(1 - \frac{H}{4H_1} \right) \text{ Ohms}$$

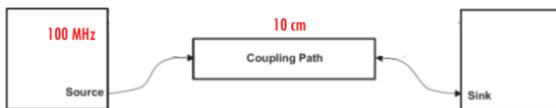


$$\text{when } H_1 > H, 0.1 < \frac{W}{H} < 2.0, \frac{T}{H} < 0.25, 1 < \epsilon < 15$$

PSI2613-2014 A06-50

Exemplo: Sinais de 100 MHz em 10cm, microstrip em FR4 ($\lambda = 1,4$ m)

Espessura tradicional do cobre = $35 \mu\text{m}$ (1 oz); Largura mínima de pista = 4 mils (=0,1 mm); Laminado FR4 espessura 1,5mm



PSI2613-2014 A06-51

Outro Exemplo: Sinais de 300 MHz em 10cm, microstrip em FR4 ($\lambda = 0,47$ m)

Espessura do cobre = $35 \mu\text{m}$ (1 oz); Largura mínima de pista = 4 mils (=0,1 mm); Laminado FR4 ($\epsilon_r = 4,6$) espessura 1,5mm

Table 2. Comparison of Propagation Delay Time

	WIDTH [mm]	$\epsilon_{r,eff}$	$V_{P,relative}$	$V_{P,absolute}$ [mm/ns]	$P_d^{(1)}$ [ps/100 mm]	Z_0
Microstrip 1	0.5	3.046	0.573	171.9	581.7	105Ω
Microstrip 2	1	3.165	0.562	168.6	593.1	82Ω
Stripline 1	0.5	4.6	0.466	139.8	715.3	55Ω
Stripline 2	1	4.6	0.466	139.8	715.3	38Ω

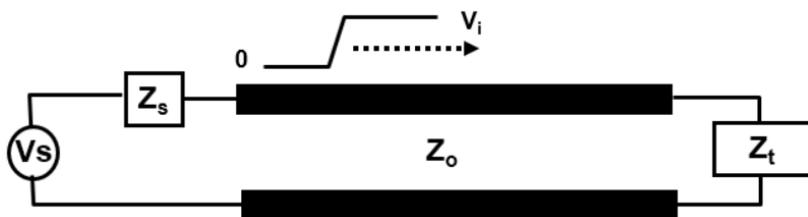
(1) P_d is the propagation delay time in ps on the mentioned line with A 100-mm length. ¹⁾ - relative - mm

Note que na stripline o tempo de atraso (propagação) independe da largura da linha e da sua espessura!!!

PSI2613-2014 A06-52

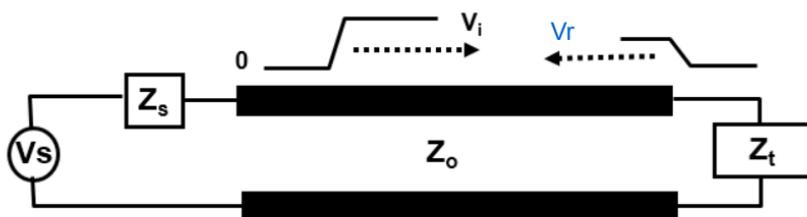
REFLEXÕES EM LINHAS DE TRANSMISSÃO (ANALISANDO AS REFLEXÕES)

- Sistematizando nossas observações, para estimar o comportamento de sinais de alta frequência é necessário:
 - Calcular impedâncias das linhas (de transmissão) ✓
 - Calcular os atrasos de propagação das linhas ✓
 - Analisar as reflexões causadas por descasamentos de impedâncias



PSI2613-2014 A06-53

REFLEXÕES EM LINHAS DE TRANSMISSÃO (ANALISANDO AS REFLEXÕES)

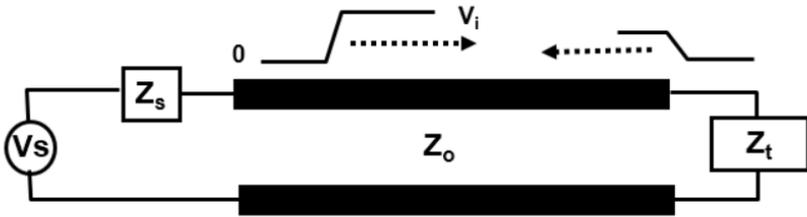


$$\rho = \frac{V_{\text{refletido}}}{V_{\text{incidente}}} = \frac{Z_t - Z_o}{Z_t + Z_o}$$

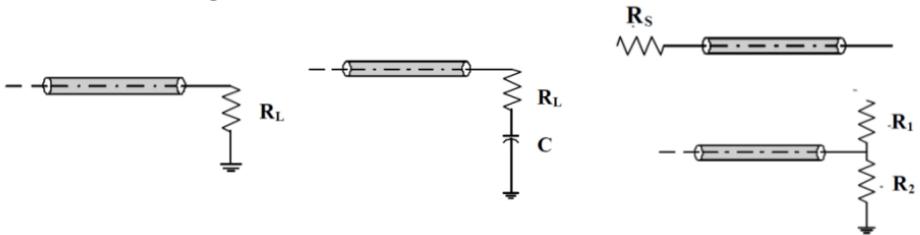
- Os dois casos extremos são um aberto e um curto:
 - Se aberto ($Z_t = \infty$), $\rho = +1$ (retorna integral// com a mesma fase)
 - Se curto ($Z_t = 0$), $\rho = -1$ (retorna integral// em contrafase)
 - Para $\rho = 0$ (sem reflexão), $Z_t = Z_o$

PSI2613-2014 A06-54

REFLEXÕES EM LINHAS DE TRANSMISSÃO (ANALISANDO AS REFLEXÕES)

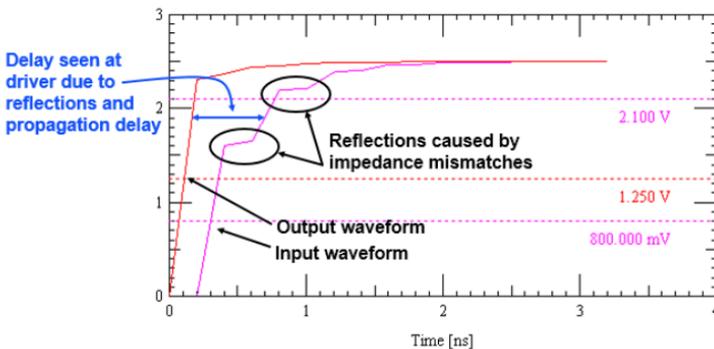
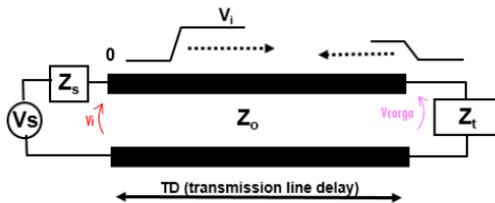


- As terminações mais usadas são a paralela, AC, série e Thevenin



PSI2613-2014 A06-55

REFLEXÕES EM LINHAS DE TRANSMISSÃO (ANALISANDO AS REFLEXÕES)

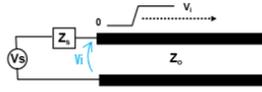


PSI2613-2014 A06-56

PLACAS DE CIRCUITO IMPRESSO

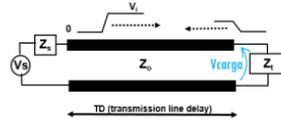
(ESTIMANDO AS REFLEXÕES)

- Considerar o divisor Z_s, Z_0



$$V_i = V_s \frac{Z_0}{Z_s + Z_0}$$

- Na carga rVi é refletido de volta e se soma ao sinal incidente Vi



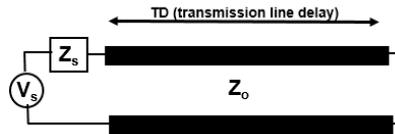
- Se a carga tem $Z_s = Z_0$ ocorre uma segunda reflexão
- Esse processo continua até atingir uma condição estável

PSI2613-2014 A06-57

PLACAS DE CIRCUITO IMPRESSO

(ESTIMANDO AS REFLEXÕES)

- Em $t = 0$: $V_i = V_s \cdot Z_0 / (Z_s + Z_0)$



- Em $t = TD$: V_i chega na carga

$$\rho_b = \frac{V_{refletado}}{V_{incidente}} = \frac{Z_l - Z_0}{Z_l + Z_0} \quad \rho_b V_i \text{ retorna para a fonte, portanto } V_{carga} = V_i + \rho_b V_i$$

(ρ_b é o coeficiente de reflexão fonte-carga)

- Em $t = 2TD$:

$$\rho_a = \frac{V_{refletado}}{V_{incidente}} = \frac{Z_s - Z_0}{Z_s + Z_0}$$

ρ_a vai para a carga

$\rho_b V_i$ atinge a fonte e reflexão $\rho_a \rho_b V_i$

$$V_{carga} = V_i + \rho_b V_i + \rho_a$$

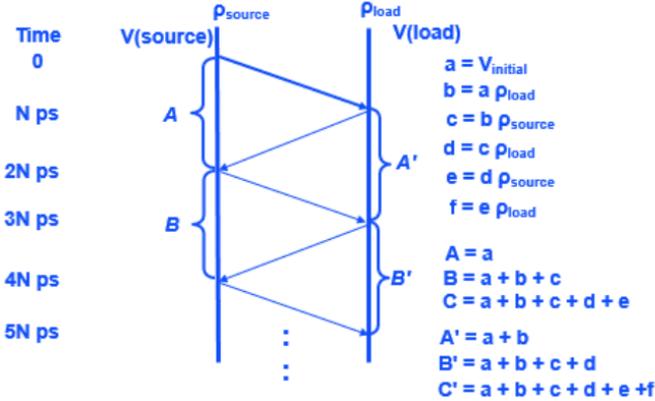
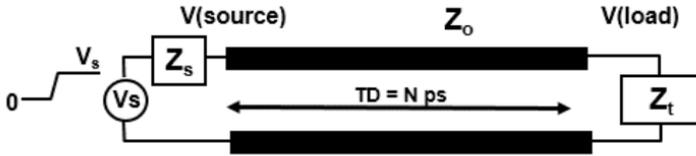
(ρ_a é o coeficiente de reflexão carga-fonte)

fonte)

PSI2613-2014 A06-58

PLACAS DE CIRCUITO IMPRESSO

(ESTIMANDO AS REFLEXÕES)

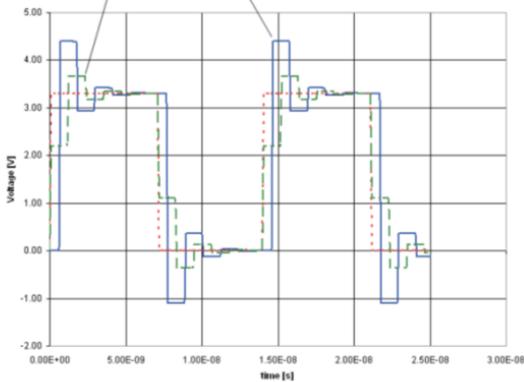
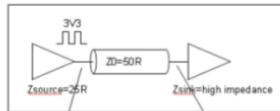


PSI2613-2014 A06-59

PLACAS DE CIRCUITO IMPRESSO

(ESTIMANDO AS REFLEXÕES)

Exemplo



PSI2613-2014 A06-60

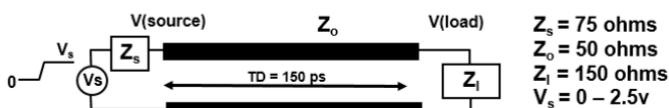
Metalização das vias: Eletrodeposição

Individual Activity

In this activity, you will work individually to complete a lattice diagram and plot voltage versus time for the driver and receiver for this transmission line.

Summarization and debriefing will follow.

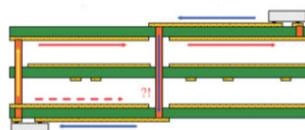
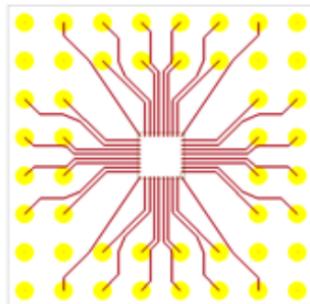
- Individual calculation: 15 min.
- Comparing results and debriefing: 10 min.



PSI2613-2014 A06-61

PROJETO DE PCIS MULTICAMADAS (LINHAS DE TRANSMISSÃO)

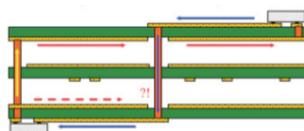
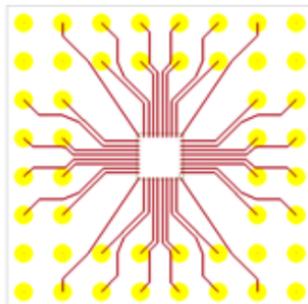
- Outras questões importantes:
 - Interferência Eletromagnética e Compatibilidade Eletromagnética
 - Crosstalk
 - Sinais diferenciais
 - Corrente de retorno e áreas de loop
 - Regras práticas de projeto de PCBs
 - Perguntas a serem respondidas
 - Qual a melhor configuração para um PCB Multilayer?
 - Planos de Terra e Alimentação
 - Capacitores de desacoplamento
 - Layoutando pistas e vias
 - Distribuição de relógio



PSI2613-2014 A06-62

PROJETO DE PCIS MULTICAMADAS (LINHAS DE TRANSMISSÃO)

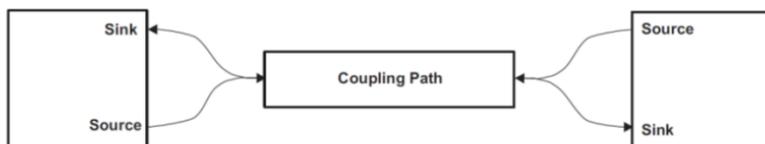
- Outras questões importantes:
 - Interferência Eletromagnética e Compatibilidade Eletromagnética
 - Crosstalk
 - Sinais diferenciais
 - Corrente de retorno e áreas de loop
 - Regras práticas de projeto de PCBs
 - Perguntas a serem respondidas
 - Qual a melhor configuração para um PCB Multilayer?
 - Planos de Terra e Alimentação
 - Capacitores de desacoplamento
 - Layoutando pistas e vias
 - Distribuição de relógio



PSI2613-2014 A06-63

PROJETO DE PCIS MULTICAMADAS (EMI E EMC)

- Interferência Eletromagnética (EMI):
 - Energia RF que interfere na operação de um dispositivo. Pode ser produzida pelo próprio dispositivo ou por outros dispositivos ao redor
 - Existem normas de emissões permitidas para EMI (FCC - Federal Communication Commission nos EUA, CISPR — International Special Committee on radio Interference, ANATEL)
 - Um modelo EMI básico está apresentado abaixo. Note que cada dispositivo é ao mesmo tempo fonte e receptor de interferências. O modo de acoplamento pode ser galvânico, capacitivo, indutivo ou potência irradiada e normalmente esses tipos estão presentes simultaneamente em um PCB.



- Compatibilidade Eletromagnética (EMC) é a capacidade de operar sem causar ou ser afetado por EMI

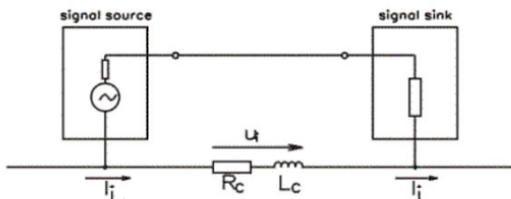
PSI2613-2014 A06-64

PROJETO DE PCIS MULTICAMADAS (EMI E EMC)

• Interferência Eletromagnética (EMI):

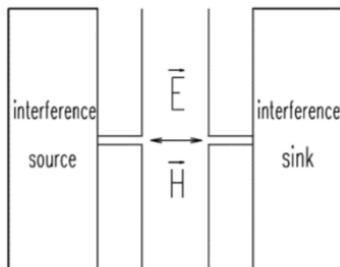
▪ Galvânica: há um caminho condutor

- Minimiza-se com pistas curtas, largas e espessas



▪ Irradiação

- Importante quando pistas são maiores que $1/7$ do comprimento de onda dos sinais (100 MHz = 1,4m em FR4). Nesse caso as pistas funcionam como antenas.



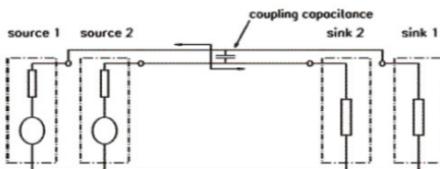
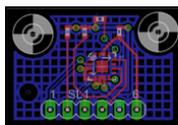
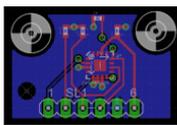
PSI2613-2014 A06-65

PROJETO DE PCIS MULTICAMADAS (EMI E EMC)

• Interferência Eletromagnética (EMI):

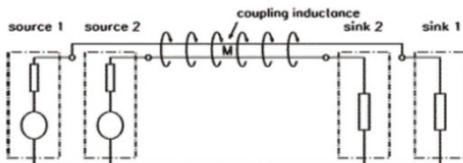
▪ Capacitiva

- Pode ser reduzida com pistas curtas e separadas entre si
- Evitar condutores paralelos
- Reduzir área comum (screening)



▪ Indutiva

- Pode ser reduzida com pistas curtas e separadas entre si
- Evitar condutores paralelos
- Colocando-se planos ou pistas de terra



PSI2613-2014 A06-66

PROJETO DE PCIS MULTICAMADAS (EMI E EMC)

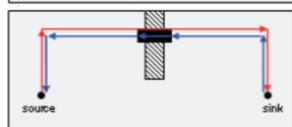
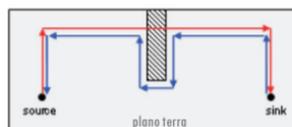
- **Crosstalk:** influência mútua de duas pistas próximas e paralelas. Constuma-se chamar a pista que gera o sinal de interferência de “agressor” e a que sofre o efeito de “vítima”. Decorrencia de acoplamentos capacitivos e indutivos. Em striplines em PCBs tem-se um auto cancelamento desses efeitos, sendo que em microlinhas o cancelamento é mais difícil (o efeito indutivo é maior).
 - Para evitar crosstalk mantenha um distância mínima superior a 2 vezes a largura das pistas
- **Sinais diferenciais:** Sinais diferenciais são, se bem balanceados, de mesma amplitude e fase oposta. Isso acarreta um cancelamento de efeitos EM. Adicionalmente, sinais recebidos por irradiação afetam igualmente os dois condutores e portanto não são vistos pela carga.
 - Em sinais diferenciais mantenha as pistas de mesmo comprimento e tão próximas quanto possível

PSI2613-2014 A06-67

PROJETO DE PCIS MULTICAMADAS (EMI E EMC)

- **Correntes de retorno e áreas de loop:** Normalmente nos esquecemos do fio de retorno (ou terra). É importante observar que:

- Em CC as correntes tomam o caminho de menor RESISTÊNCIA
- Em CA as correntes tomam o caminho de menor IMPEDÂNCIA
- Em CA, se o plano terra tiver uma descontinuidade (slot) a corrente segue um outro percurso, resultando em um loop (quanto maior a sua área, maior a possibilidade de EMI)



Nesses casos, como solução recomenda-se colocar um resistor 0Ω sobre o slot (fig ao lado) ou rerrotear a pista vermelha inicial. Melhor ainda, não interrompa o plano de terra!

PSI2613-2014 A06-68

- Qual o tamanho da placa?
- Qual a maior frequência e o tempo de subida mais rápido do sistema e em quais sinais (pistas) eles estão?
- Quais as características elétricas das fontes e das cargas (impedâncias, etc)?
- Existem sinais especiais que requerem maior cuidado? Há a necessidade de controlar:
 - A impedância?
 - A terminação?
 - O tempo de propagação?
 - A distribuição de clocks ou outros sinais?
- Microlinhas são adequadas para os sinais especiais ou há a necessidade de striplines?
- Quantas fontes de alimentação são necessárias? Cada uma delas necessita de um plano de terra próprio ou eles podem ocupar uma camada só?
- Crie um diagrama com os grupos funcionais do sistema (ex. parte de transmissão, parte de recepção, sinais analógicos, sinais digitais, et.)
 - Quais as interconexões elétricas entre esses grupos distintos? Pense nos traços de retorno e problemas de crosstalk
- Especifique as dimensões mínimas para largura, separação e altura das pistas que o fabricante pode executar. Qual a separação mínima entre duas camadas? Qual a furação de menor diâmetro? Podem ser utilizadas vias enterradas (buried) e cegas (blind)?

PSI2613-2014 A06-69

PROJETO DE PCIS MULTICAMADAS

(MELHOR CONFIGURAÇÃO DE CAMADAS EM PCBs MULTILAYER)

- Qual a melhor configuração para um PCB Multilayer?
- Não existe uma regra técnica de quantas camadas devem ser utilizadas em um PCB, mas deve-se observar que:
 - Uma microlinha exige duas camadas, sendo uma o plano de terra. Quando se utilizam microlinhas recomenda-se o uso de placas com 4 camadas no mínimo, duas de sinais, um plano de terra e um plano de alimentação
 - Se forem utilizadas striplines por questão de tempo de propagação ou de impedância característica, o recomendável é utilizar placas de 6 camadas
- Para determinar como organizar as camadas, considere os seguintes aspectos:
 - Estabeleça a localização na placa de cada grupo funcional. Procure manter os componentes de um mesmo grupo funcional próximos para evitar interferências (crosstalk, ruído, etc.) com outros grupos
 - Determine quais fontes de alimentação servem cada bloco funcional
 - Em projetos de alto desempenho / altas frequências é necessário utilizar ao menos um plano de terra completo que serve como referência às microlinhas de sinais mais sensíveis
 - O uso de um plano de alimentação completo o mais próximo possível do plano de terra cria um acoplamento capacitivo entre os dois que resulta em baixas impedâncias em altas frequências (curtando ruídos de alta frequência que estejam na alimentação). Isso reduz a necessidade de capacitores de desacoplamento nos terminais dos componentes;

PSI2613-2014 A06-70

PROJETO DE PCIS MULTICAMADAS

(MELHOR CONFIGURAÇÃO DE CAMADAS EM PCBs MULTILAYER)

- Possibilidades de organização das camadas:

Table 3. Possible Board Stackup on a Four-Layer PCB

	Model 1	Model 2	Model 3	Model 4
Layer 1	SIG	SIG	SIG	GND
Layer 2	SIG	GND	GND	SIG
Layer 3	VCC	VCC	SIG	VCC
Layer 4	GND	SIG	VCC	SIG
Decoupling	Good	Good	Bad	Bad
EMC	Bad	Bad	Bad	Bad
Signal integrity	Bad	Bad	Good	Bad
Self disturbance	Satisfaction	Satisfaction	Satisfaction	High

Table 4. Possible Board Stackup on a Six-Layer PCB

	Model 1	Model 2	Model 3	Model 4	Model 5	Model 6
Layer 1	SIG	SIG	GND	SIG	SIG	SIG
Layer 2	SIG	GND	VCC	GND	GND	GND
Layer 3	VCC	VCC	SIG	VCC	VCC	VCC
Layer 4	GND	VCC	SIG	SIG	GND	GND
Layer 5	SIG	GND	VCC	GND	Not used	SIG
Layer 6	SIG	SIG	GND	SIG	SIG	SIG
Decoupling	Good	Good	Good	Good	Good	Good
EMC	Bad	Good	Satisfaction	Satisfaction	Good	Good
Signal integrity	Bad	Good	Bad	Good	Good	Bad

PSI2613-2014 A06-71

PROJETO DE PCIS MULTICAMADAS

(MELHOR CONFIGURAÇÃO DE CAMADAS EM PCBs MULTILAYER)

- Possibilidades de organização das camadas:

ICD STACKUP PLANNER – www.icd.com.au 4/28/2011 Total Board Thickness: 61.2

Layer Number	Name	Material Type	Dielectric Constant	Dielectric Thickness	Copper Thickness	Trace Clearance	Trace Width	Current (Amps)	Impedance Characteristic(Zo)	Edge Coupled Differential(Zdiff)	Broadside Coupled Differential(Zdbs)	Description
1	Top	Dielectric	3.3	0.5								Soldermask
		Conductive			0.7	15	15	0.49	51.93	90.98		Signal
		Dielectric	4.3	9								Prepreg
2	GND	Conductive			1.4							Plane
		Dielectric	4.3	39								Core
3	VCC	Conductive			1.4							Plane
		Dielectric	4.3	9								Prepreg
4	Bottom	Conductive			0.7	15	15	0.49	51.93	90.98		Signal
		Dielectric	3.3	0.5								Soldermask

Figure 2 - 4 Layer Stackup

ICD STACKUP PLANNER – www.icd.com.au 4/28/2011 Total Board Thickness: 63

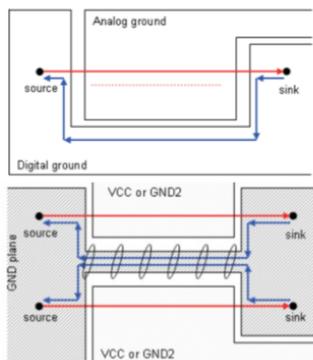
Layer Number	Name	Material Type	Dielectric Constant	Dielectric Thickness	Copper Thickness	Trace Clearance	Trace Width	Current (Amps)	Impedance Characteristic(Zo)	Edge Coupled Differential(Zdiff)	Broadside Coupled Differential(Zdbs)	Description
1	Top	Dielectric	3.3	0.5								Soldermask
		Conductive			0.7	12	12	0.42	50.81	89.45		Signal
		Dielectric	4.3	7								Prepreg
2	GND	Conductive			1.4							Plane
		Dielectric	4.3	15								Core
3	Inner 3	Conductive			1.4	12	12	0.69	52.65	88.5	66.91	Signal
		Dielectric	4.3	12								Prepreg
4	Inner 4	Conductive			1.4	12	12	0.69	52.65	88.5	66.91	Signal
		Dielectric	4.3	15								Core
5	VCC	Conductive			1.4							Plane
		Dielectric	4.3	7								Prepreg
6	Bottom	Conductive			0.7	12	12	0.42	50.81	89.45		Signal
		Dielectric	3.3	0.5								Soldermask

Figure 3 - 6 Layer Stackup

PROJETO DE PCIS MULTICAMADAS (PLANOS DE TERRA E DE ALIMENTAÇÃO)

- Em projetos de alta velocidade, planos de terra completos são essenciais. Adicionalmente um plano de alimentação é recomendável.
- Quantos existem várias alimentações a melhor solução, porém demasiadamente custosa, seria criar um plano para cada alimentação. Uma solução é o repartimento dos planos de terra/alimentação, Nesse caso:

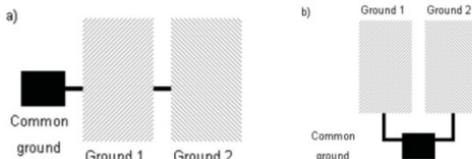
- Cuidado, planos de terra repartidos atuam como antenas dipolo.
- Pistas sem retorno de terra embaixo criam loops que captam radiações
- Crosstalk pode surgir no retorno quando existem descontinuidades no plano de terra.



PSI2613-2014 A06-73

PROJETO DE PCIS MULTICAMADAS (PLANOS DE TERRA E DE ALIMENTAÇÃO)

- Adicionalmente:
 - Não permita que planos de terra distintos (analógico ou digital p.ex.) passem por cima de outro plano de terra:



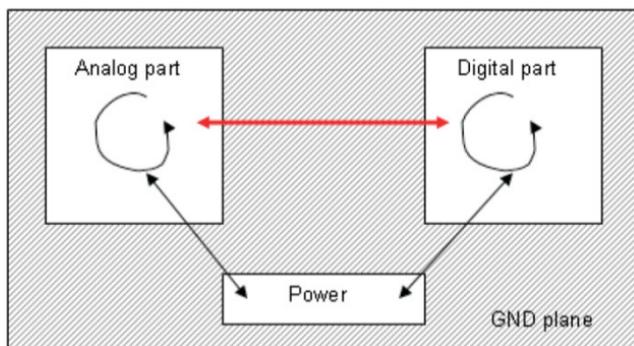
- Se a repartição do plano terra for inevitável:
 - Não passe sinais por cima de gaps
 - Conecte os planos de terra em apenas um ponto para evitar loops (pode utilizar um $R = 0\Omega$)
 - Como dito, não permita que planos de terra distintos passem por cima de outro plano de terra
 - Planos de alimentação devem se restringir à região do seu respectivo plano de terra
 - Não coloque capacitores de desacoplamento entre planos que não pertençam a um mesmo grupo funcional

PSI2613-2014 A06-74

PROJETO DE PCIS MULTICAMADAS (PLANOS DE TERRA E DE ALIMENTAÇÃO)

- Uma melhor solução:

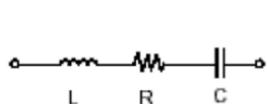
- Posicione os componentes por grupo funcional e faça o roteamento deles apenas dentro da respectiva região. Se houver interconexões entre partes analógicas e digitais, confira cuidadosamente para evitar crosstalk e loops de corrente



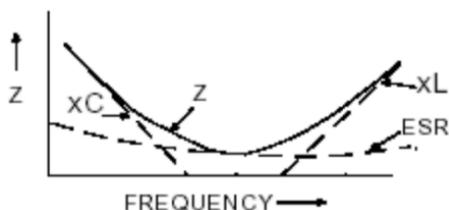
PSI2613-2014 A06-75

PROJETO DE PCIS MULTICAMADAS (CAPACITORES DE DESACOPLAMENTO)

- A impedância de capacitores é expressa tipicamente como $Z_C = \frac{1}{2\pi fC}$
- Mas a impedância de um capacitor real é bem diferente:



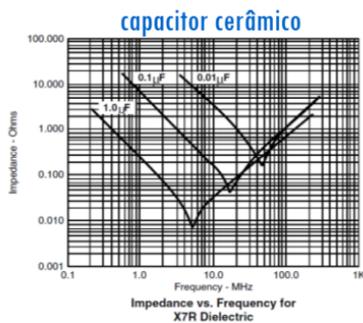
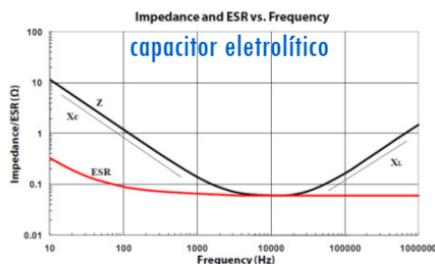
$$Z_C = \sqrt{R^2 + \left(2\pi fL - \frac{1}{2\pi fC}\right)^2}$$



PSI2613-2014 A06-76

PROJETO DE PCIS MULTICAMADAS (CAPACITORES DE DESACOPLEMENTO)

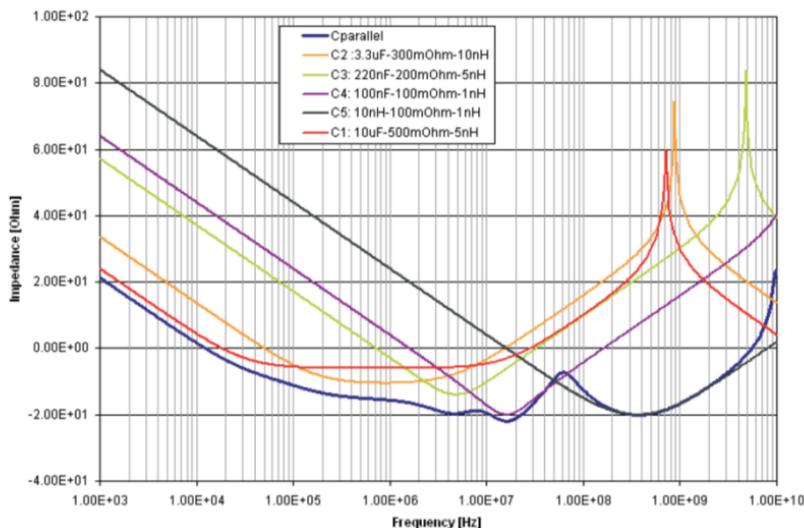
- A colocação de capacitores de desacoplamento entre os terminais de Vcc e GND de um CI garantem uma baixa impedância CA que reduz ruído. Dada as limitações de resposta em frequência de capacitores, costuma-se associar 2 capacitores em paralelo (o capacitor cerâmico sempre próximo do CI):



PSI2613-2014 A06-77

PROJETO DE PCIS MULTICAMADAS (CAPACITORES DE DESACOPLEMENTO)

- Exemplo colocando-se vários capacitores em paralelo



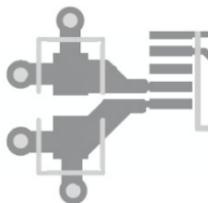
PSI2613-2014 A06-78

PROJETO DE PCIS MULTICAMADAS (CAPACITORES DE DESACOPLAMENTO)

- Planos de GND e Vcc próximos podem representar uma capacitância que garanta baixas impedâncias em altas frequências
- Sempre coloque os capacitores de baixo valor (cerâmicos) próximos aos terminais de alimentação dos CIs para minimizar indutâncias das pistas
- Conecte o pad do capacitor diretamente com uma via ao plano de terra. Use duas ou três vias para reduzir a impedância para terra. Se a distância ao terminal de terra do CI for pequena, conecte diretamente a ele.



Poor Bypassing

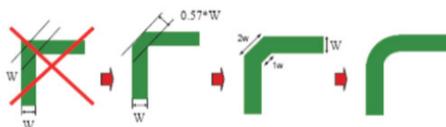
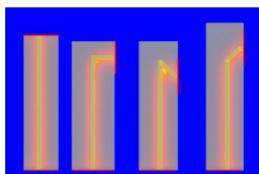


Good Bypassing

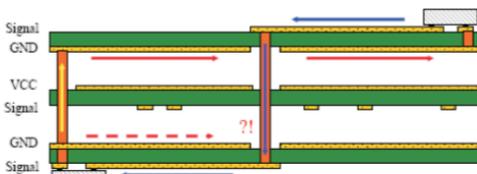
PSI2613-2014 A06-79

PROJETO DE PCIS MULTICAMADAS (LAIOUTANDO PISTAS E VIAS)

- Ângulos retos em pistas causam mais radiação



- Para minimizar crosstalk entre camadas subjacentes, faça o roteamento a 90 graus
- O uso de vias é essencial em muitos projetos. Mas cuidado, elas causam distúrbios de impedância, acrescentam capacitâncias e indutâncias causando reflexões.
 - Evite vias em sinais diferenciais. Se for impossível, use-as nas duas pistas
- Certifique-se também que o retorno ocorra no plano de terra mais próximo da pista para evitar loops de interferência



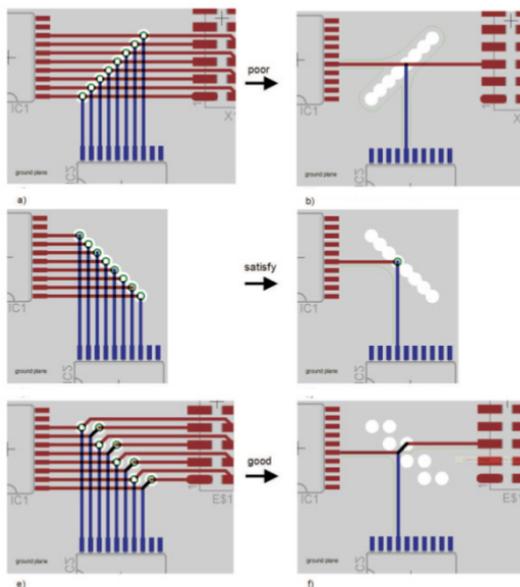
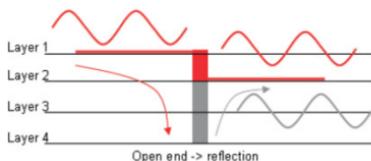
PSI2613-2

PROJETO DE PCIS MULTICAMADAS (LAIOUTANDO PISTAS E VIAS)

- O posicionamento das vias também é importante:

- Evite que as vias fiquem muito próximas entre si e criem um slot no plano de terra

- Cuidado também com reflexões em vias:



PSI2613-2014 A06-81

PROJETO DE PCIS MULTICAMADAS (LAIOUTANDO PISTAS E VIAS)

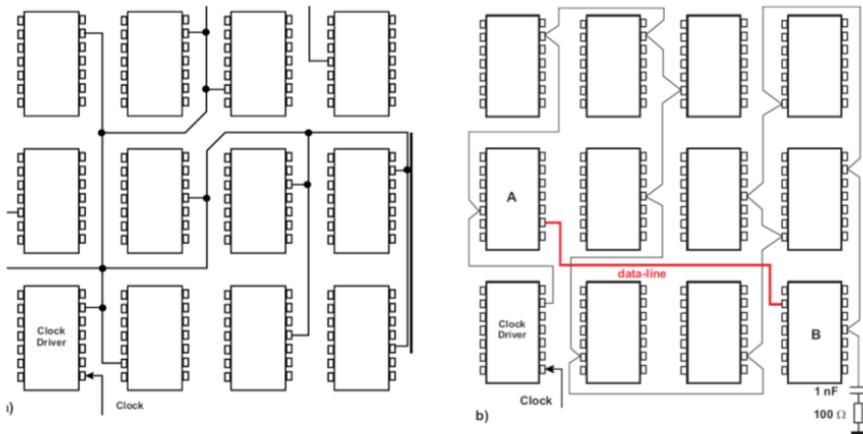
- Recomendações gerais sobre pistas e vias:

- Não utilize ângulos retos em pistas que necessitam de controle de impedância e tempos de subida rápidos
- Faça o roteamento de pistas ortogonalmente se elas estiverem em camadas adjacentes para evitar acoplamento
- Para minimizar crosstalk, a distância entre duas pistas deve ser aproximadamente 2-3 vezes a largura da pista
- Pistas diferenciais devem ser roteadas o mais próximo possível para ter elevado acoplamento. Assim ruídos externos se tornam comuns e são anulados
- Evite vias em pistas de sinais muito sensíveis
- Quando uma pista mudar de camada, cuide para o que retorno continue próximo. Se necessário coloque pistas adicionais de terra (retorno) ao lado da pista de sinal (blindagem)
- Não crie slots em planos de terra ou alimentação
- Cuidado com vias que criam pilares de reflexão (stubs)

PSI2613-2014 A06-82

PROJETO DE PCIS MULTICAMADAS (DISTRIBUIÇÃO DE RELÓGIO)

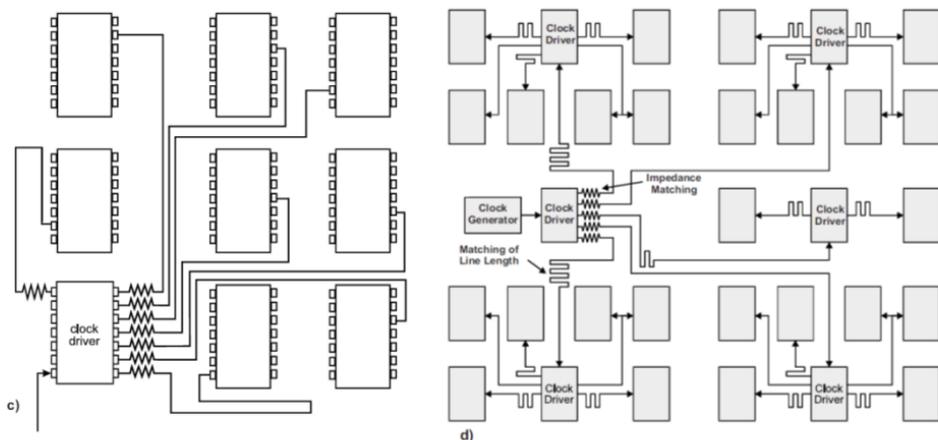
- Evite reflexões nos ramos de pistas (a), fazendo o roteamento encadeado (b).



PSI2613-2014 A06-83

PROJETO DE PCIS MULTICAMADAS (DISTRIBUIÇÃO DE RELÓGIO)

- Em clocks de alta frequência, se ocorrerem atras entre por exemplo A e B (clock skew) utilize uma configuração estrela (c) com drivers de clock. Em sistemas muito complexos utilize o mesmo comprimento para as pistas e coloque terminações adequadas (d)



PSI2613-2014 A06-84

PROJETO DE PCIS MULTICAMADAS (LINHAS DE TRANSMISSÃO)