

Recomendação de Estudo/Revisão da Matéria das Aulas 8, 10 e 12

Aula 8:

- a) Compreender as diferentes formas de wait (em processos)
- b) Saber escrever testbenches para blocos combinacionais e sequenciais;
- c) Saber utilizar procedimentos em testbenches

Aula 10:

No Leonardo Spectrum:

- a) Correlacionar os elementos encontrados no Design Browser, particularmente, biblioteca de primitivas e operadores, e os elementos do desenho do esquema RTL.
- b) Correlacionar os elementos encontrados no Design Browser, particularmente, biblioteca de tecnologia, e os elementos do desenho do esquema gate-level.
- c) Entender o processo de transformações que ocorrem na síntese, do modelo VHDL comportamental para o modelo RTL e, deste, para o gate-level.
- d) Saber interpretar as mensagens que aparecem na janela do Monitor.
- e) Entender os relatórios de área após a síntese lógica. Associar os dados/resultados do relatório com os resultados vistos do Monitor.
- f) Entender relatórios de tempo após a síntese lógica. Associar os dados/resultados do relatório com os resultados vistos do Monitor.
- g) Saber identificar e calcular os tempos dos relatórios: *arrival*, *default specified*, *required*, *setup*.
- h) Explicar a relevância da frequência especificada (portanto, também, o *default specified time*) para o desenvolvimento do processo de síntese (item 8 da apostila da aula).

Aula 11:

No Leonardo Spectrum:

- a) Saber utilizar e correlacionar diferentes tecnologias de fabricação (ADK) com resultados de área e tempo após a síntese.

No Quartus:

b) Entender as diferenças entre as etapas de Analysis & Elaboration, Analysis & Synthesis e Fitting dentro do Quartus, particularmente no que se refere aos resultados apresentados nos reports.

c) Saber interpretar todos os resultados do Classic Timing Analyzer Tool..

d) Saber interpretar as mensagens que aparecem na janela do Monitor.

e) Entender o processo de síntese lógica e as bibliotecas de células utilizadas para tal.

Em ambos:

f) Saber comparar o desempenho obtido entre implementações ASIC e FPGA.