

## LISTA DE EXERCÍCIOS sobre FPGA

### Resumo

#### O que são FPGAs?

- FPGA, também conhecidas pelas siglas CPLD ou EPLD são circuitos integrados configuráveis (programáveis) pelo usuário final.
- Existem 3 tecnologias viabilizadoras: anti-fusíveis, memórias EEPROM e memória RAM
- Cada componente contém 3 tipos de recursos que podem ser configurados pelo usuário:
  - Macro-células
  - Interconexões
  - Células de E/S
- As macro-células podem ser especializadas ou universais.
- As macro-células especializadas mais comuns são memória e cadeias de vai-um de somadores.
- As macro-células universais contêm recursos para implementar lógica combinatória, além de flip-flops para implementar a parte sequencial, se assim for necessário.
- Os recursos mais comuns para implementar lógica combinatória são:
  - ( $\Sigma P$ ) - Soma-de-produtos
  - (MUX) - Multiplexadores simples ou encadeados
  - (LUT) - *Look-up tables* (memórias de 3-4 endereços) simples ou encadeadas.
- Todas as macro-células contêm 1 ou 2 flip-flops para implementar a lógica sequencial.

#### Fitting:

- Fitting é o nome da tarefa de se mapear a lógica combinatória e sequencial (a aplicação descrita em VHDL, comportamental ou estrutural) sobre as macro-células disponíveis numa FPGA.
- Num projeto real, o *fitting* é realizado com o auxílio de software.
- Esta tarefa exige a decomposição da lógica combinatória, originalmente descrita em VHDL, em módulos funcionais do mesmo tipo e tamanho dos módulos combinatórios universais ( $\Sigma P$ , MUX ou LUT). Exige também a associação de todos os dados descritos em VHDL que exijam armazenamento temporário em um flip-flop.

Nesta lista de exercícios o aluno deverá realizar manualmente a tarefa de *fitting* sobre algumas macro-células universais descritas a seguir.

**Problema 1:**

Dados os esquemas lógicos abaixo, fazer o *fitting* sobre cada uma das seguintes macro-células.

TIPO	TAMANHO
Macro 1: LUT_3	3 entradas, 1 saída
Macro 2: LUT_4	4 entradas, 1 saída
Macro 3: MUX_2	2 entradas / 1 seletor (figura 8-3, pág. 410, livro do Rabaey)
Macro 4: $\Sigma P$	10 literais de entrada, 6 portas AND de 10 entradas, 1 porta OR de 6 entradas (figura 8.29, pág. 409, livro do Rabaey)

(Atenção: faça ao menos para os casos A e C para depois resolver o Problema 2 abaixo)

A)

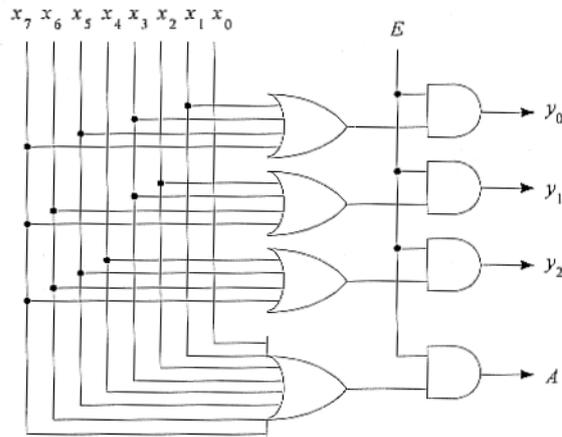


Figura 9.13 Implementação de um codificador binário de oito entradas.

B)

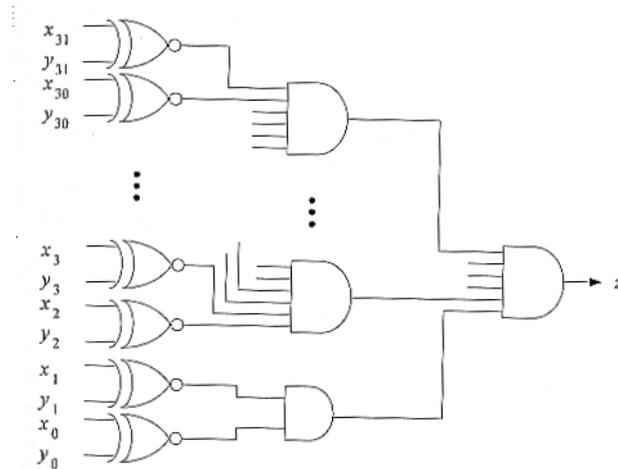


Figura 6.9 Comparador de igualdade de 32 bits.

C)

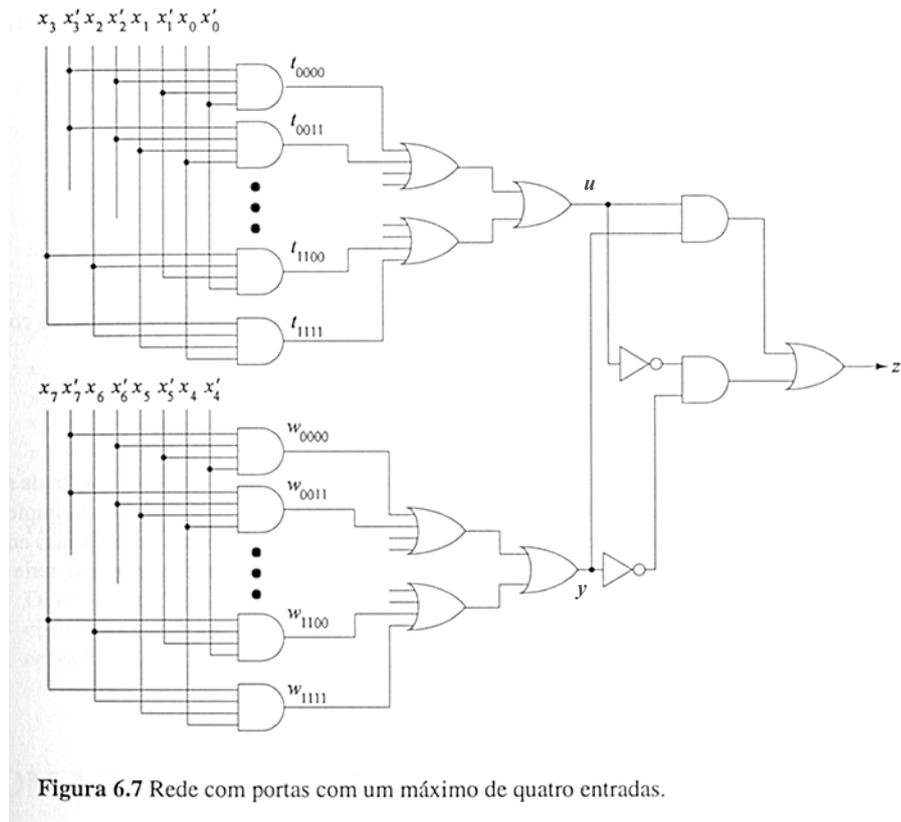
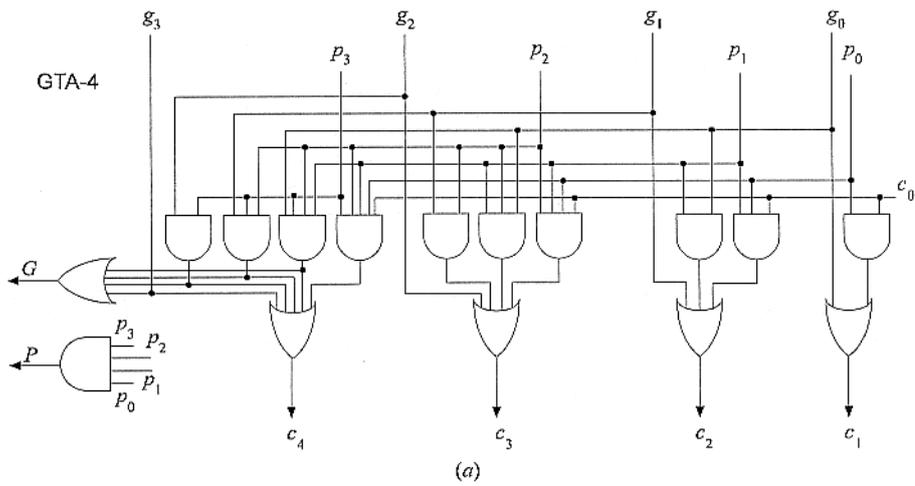


Figura 6.7 Rede com portas com um máximo de quatro entradas.

D)



E)

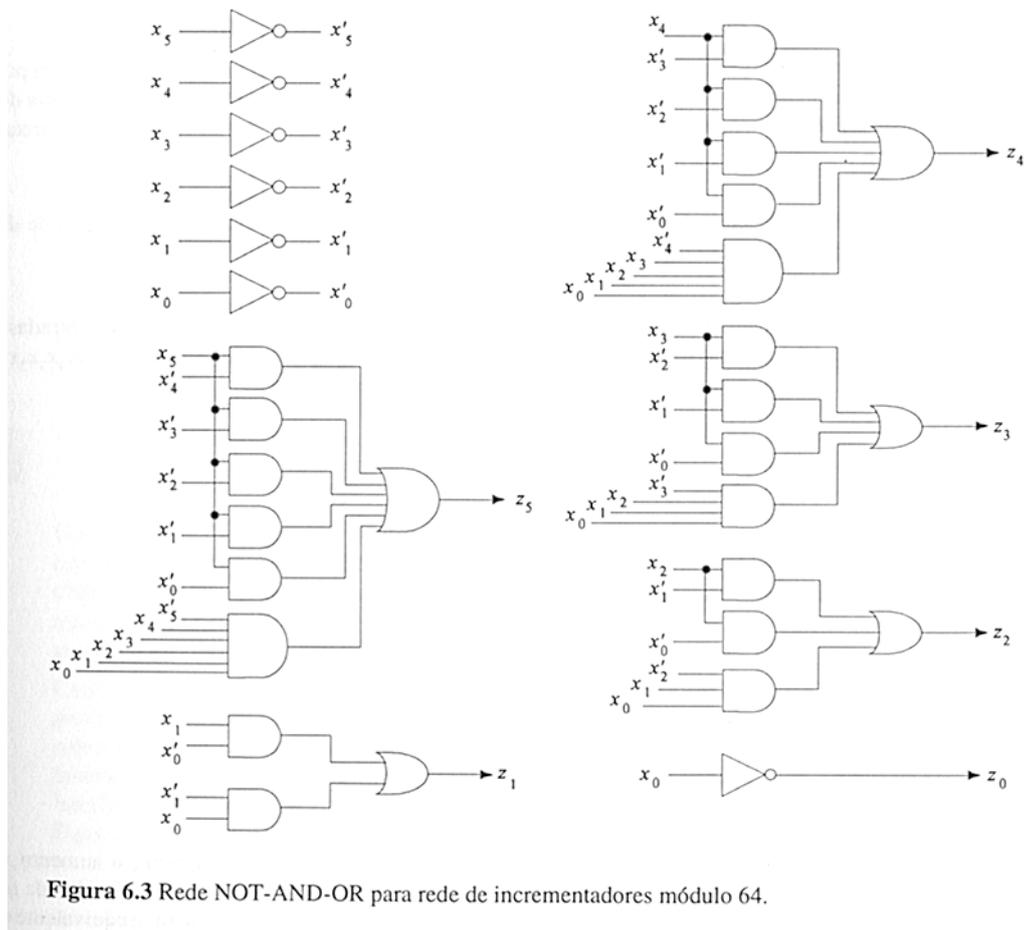


Figura 6.3 Rede NOT-AND-OR para rede de incrementadores módulo 64.

### Problema 2:

Repetir o problema 1, com novas condições, para os casos acima:

Problema 1.A) Supondo que as saídas dos ORs são registradas, ou seja há um FF à saída de cada um deles.

Problema 1.C) Que há um registrador em cada um dos nós:  $u$ ,  $y$  e  $z$ , à saída dos ORs.