

PSI-3451 Projeto de CI Lógicos Integrados

Aula 11- Atividade de Aula - Síntese Lógica no Projeto de ASICs e FPGAs

Na parte prática da aula 11, faremos alguns exercícios adicionais com projeto no Leonardo Spectrum e, posteriormente, trabalharemos com o mesmo projeto no Quartus, procurando-se explorar as semelhanças e diferenças.

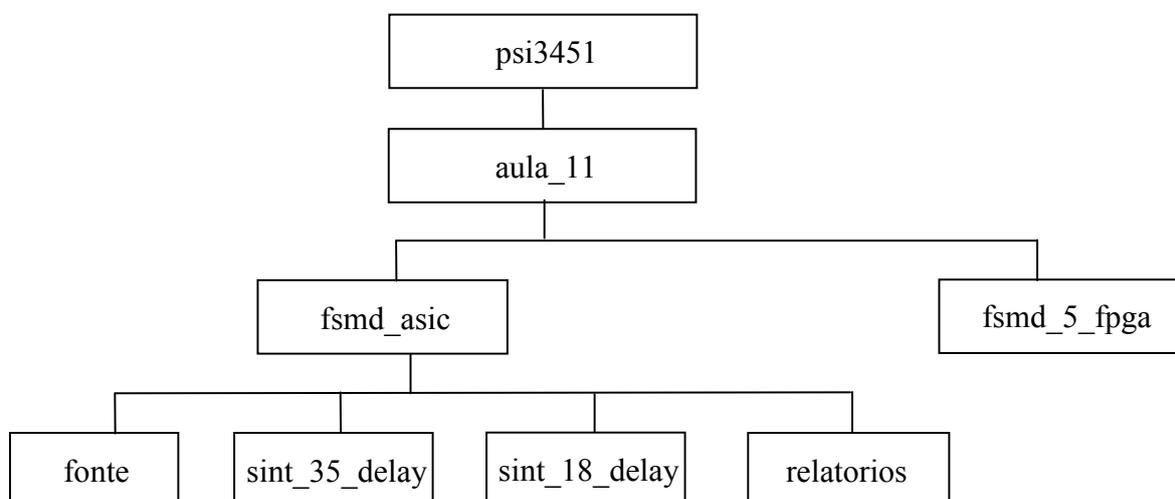
Tenha certeza que sabe responder as perguntas listadas abaixo após a observação dos arquivos ou dos resultados de simulações.

PARTE PRÁTICA

Nesta prática, o(a) aluno(a) usará o arquivo VHDL fsmd_5.vhd que modificou na aula 10, permitindo a inicialização de registradores via reset.

Preparação das Pastas e Arquivos para Simulação

Para esta prática, deverá ser criado o sistema de arquivos indicado na figura abaixo dentro do seu diretório **X:\psi3451\aula_11**.



Pelo Windows, copie o arquivo **x:\psi3451\aula_10\fsmd_5\fonte\fsmd_5.vhd** (versão modificada pelo aluno(a) na aula 10) para **x:\psi3451\aula_11\fsmd_asic\fonte\fsmd_5.vhd**. Relembre a função do arquivo de acordo com as apostilas da aula 8 e 10 e tenha certeza que ele esteja funcional.

1) Exercício com Leonardo Spectrum

Obs. Para fazer este exercício, o(a) aluno(a) deverá saber navegar no Leonardo Spectrum, tendo feito as atividades da aula 10.

Neste exercício, você deverá, primeiramente, realizar duas sínteses do circuito fsmd, com otimização global para delay: 1) para a tecnologia de 0,35 um; 2) para a tecnologia de 0,18 um. Depois você deverá extrapolar os resultados para uma tecnologia de 0,09um (90 nm). Isto permitirá uma comparação, ainda que não exata, com a implementação em FPGA, que também adota uma tecnologia de 90nm (família Cyclone II).

A sequência de passos abaixo é um auxílio passo-a-passo para o(a) aluno(a) gerar os resultados.

- a) Abra o **Leonardo Spectrum**. Na ficha **Technology**, selecione a biblioteca **TSMC 0,35 micron (typical)**. Clique em **Load Library** para efetivar a opção. Confirme a realização da tarefa, observando o comando linha correspondente na janela de **Command Line** e as mensagens da janela **Monitor**.
- b) No **Leonardo Spectrum**, selecione a ficha **Input**. Clique em **Open Files** e selecione o arquivo `x:\psi3451\aula_11\fsmd_asic\fonte\fsmd_5.vhd`. Preencha a janela working directory com o nome da pasta `x:\psi3451\aula_11\fsmd_asic\sint_35_delay`. Mantenha as mesmas condições da aula anterior e clique em **Read** para carregar o fsmd.
- c) Clique sobre o ícone vermelho (na barra superior) **View RTL Schematic** para confirmar que está tudo certo.
- d) Na ficha seguinte (**Constraints**), especifique a frequência do *clock* em 800 MHz (vamos forçar uma frequência alta, sabidamente não alcançável, para que a ferramenta tente chegar na melhor solução possível, respeitando as restrições dadas). Confirme a opção clicando em **Apply**.
- e) Selecione a ficha **Optimize** e confirme que a Target Technology é efetivamente a ADK – TSMC 0,35 micron (typical), correspondente à biblioteca de tecnologia escolhida. Verifique que o parâmetro de otimização é “Optimize For Delay” e que o controle de Optimize Effort esteja no máximo (máximo à direita). Veja que a arquitetura do circuito está selecionada no Design Browser. Clique em **Optimize**.
- f) Clique sobre o ícone azul (na barra superior) **View Gate Level Schematic** para confirmar que as células são de tecnologia. Anote na janela do Monitor, os valores obtidos para área e frequência de operação (tanto resultados da otimização global e a otimização de timing).
- g) Gere os relatórios de área e tempo em `x:\psi3451\aula_11\fsmd_asic\fonte\`. Confirme neles os valores observados pela janela do Monitor.
- h) Refaça os passos a) a g) modificando apenas o seguinte:
 - item a)- usar **TSMC 0,18 micron (typical)**
 - item b)- usar `x:\psi3451\aula_11\fsmd_asic\sint_18_delay` para working directory
 - item g)- gravar relatórios com novos nomes para não sobrescrever os anteriores
- i) Analise os seus dados e mantendo a mesma relação, determine os valores de atraso e área esperado para a tecnologia de 90nm. Para chegar a uma resposta quanto à área, deve-se levar em conta:
 - a área é dada em termos de uma célula de referência que, para todas as tecnologias do ADK, é do mesmo tipo (NAND2, normalmente), porém com dimensões diferentes.

- A relação de área absoluta entre as células de referência de duas tecnologias será a relação entre o quadrado de suas dimensões de comprimento de canal.
- A resposta deverá ser dada em termos relativos e não, absolutos.

2) Explorando os Recursos do Quartus no Projeto do fsmd

- Copie o arquivo fsmd_5.vhd para x:\psi3451\aula_11\fsmd_fpga.
- Abra o Programa Quartus (32 bits) *Iniciar/Programas/Altera/Quartus II 9.1*.
- Crie um projeto com o *New Project Wizard*, apontado-o para a pasta x:\psi3451\aula_11\fsmd_fpga\. Olhe o nome da *entity* do arquivo fsmd_5, usando-o como nome do projeto também. Na janela referente a arquivos, inclua x:\psi3451\aula_11\fsmd_fpga\fsmd_5.vhd. Assinale como dispositivo, família **Cyclone II** e componente **EP2C35F672C6**. Na caixa de diálogo seguinte, no campo de simulação, adicione em Tool name: **ModelSim-Altera** e no Format: **VHDL**. Clique em **Finish**. Após finalizar esta etapa poderá observar as características do projeto na janela *Project Navigator*.
- A seguir serão apresentadas três formas de se compilar o projeto e gerar a implementação em FPGA (NÃO ATIVE NEHUMA DELAS NESTE ITEM, APENAS ACOMPANHE COMO ELAS FUNCIONAM):
 - Clique em **Processing** e veja que existe a opção **Start Compilation**. Esta é uma opção direta, em que todas as tarefas de síntese são feitas automaticamente em batch;
 - Ainda em **Processing** selecione **Compiler Tool**. Um janela aparecerá em que as principais tarefas aparecem em subjanelas e poderão ser feitas na sequência (com os respectivos ícones ►); existe ainda um botão (► Start) para a opção de compilação completa como no item acima;
 - Selecione **View->Utility Windows->Tasks**. Um janela aparecerá com as principais tarefas e dentro delas (expandam tudo), sub-tarefas aparecem (com o ícone ►), além de opções de ajuste e relatórios.

Pergunta: Conseguiu perceber a diferença no grau de detalhamento em cada opção?

- Pode-se ver o que cada etapa propicia informações através de relatórios e netlists. Clique em **Tools -> Netlist Viewers** . Veja que há várias opções e selecione todas elas.

Pergunta: Algum resultado é apresentado neste ponto?

- Vamos iniciar a síntese da forma mais detalhada. Na janela de Task, selecione **Settings** dentro da opção **Analysis & Synthesis**. Para **Optimization Technique**, selecione **Speed**. Marque a opção **Timing-Driven Synthesis**. Dê **OK**.
- Dê um duplo clique na opção ► Analysis & Elaboration.
- Clique em **Tools -> Netlist Viewers** . Selecione todas as opções e verifique quais opções de resultados já são apresentadas. Explore os diagramas, verificando os seus objetos.

Pergunta: A tarefa de **Analysis & Elaboration** envolve tecnologia? Que objetos são utilizados para compor o esquema do circuito (use a apostila de conceitos para orientação)?

- Vamos utilizar agora a janela do **Compiler Tool**. Nesta janela, procure a subjanela de **Analysis & Synthesis** e dentro dela a seta ►.

- j) Na subjanela de **Analysis & Synthesis**, selecione **Synthesis Report** (Formato TEXT). Observe no relatório os comentários sobre os componentes utilizados, na seção **Analysis & Synthesis Resource Usage Summary**.
- k) Clique em **Tools -> Netlist Viewers->Technology Map Viewer (post-mapping)**. Explore o esquema, verificando os seus objetos.
- l) Clique em **Tools -> Netlist Viewers->Technology Map Viewer**. Observe o que aparece. Veja o nome (Page Title).

Pergunta: A tarefa de **Analysis & Synthesis** engloba a tarefa de **Analysis & Elaboration**? Ela envolve tecnologia (família de FPGA)? Que objetos são utilizados para compor o esquema do circuito (use a apostila de conceitos para orientação)? Sabe determinar e explicar a diferença de objetivos entre **Technology Map Viewer** e **Technology Map Viewer (post-mapping)**?

- m) Vamos voltar à janela do **Compiler Tool**. Nesta janela, procure a subjanela de **Fitter** e clique na seta ►.
- n) Na subjanela de **Fitter**, selecione Report (Formato TEXT). Observe os comentários sobre os componentes utilizados na seção **Fitter Resource Usage Summary**.
- o) Clique em **Tools -> Netlist Viewers->Technology Map Viewer**. Veja o nome (Page Title). Explore o esquema, verificando os seus objetos.

Perguntas: Identificou as informações de ocupação de no relatório do **Fitter**? Por que elas aparecem agora? O que é o **Fitter** no final das contas? São perceptíveis as diferenças entre o esquema de **Technology Map Viewer** e **Technology Map Viewer (post-mapping)**? O que o esquema **Technology Map Viewer** reflete? E os comentários sobre uso de recursos e componentes entre os reports do **Fitter** e **Analysis & Synthesis**, são iguais? Por que?

- p) Vamos voltar à janela do **Compiler Tool**. Clique na seta de ► Start (compilação completa). Veja que as tarefas de **Analysis & Synthesis** e **Fitter** são realizadas novamente, além de outras duas. Veja os seus objetivos.
- q) **Próximos passos para Análise de Tempo:** No Quartus, clique novamente em **Processing->** e selecione o **Classic Timing Analyzer Tool**. Na caixa de diálogo, clique em ► Start.
- r) Observe as informações da aba **Registered Performance** (interprete-os). Observe nas demais abas as diferentes análises feitas pela ferramenta: (Clock Setup), t_{su} (clock setup time), t_{co} (clock to output delay) e t_h (clock hold time).
- s) Na caixa de diálogo, clique em Report. Observe os resultados e os piores caminhos. Tente identificar os objetos como célula, sinal e FF.

Perguntas: Entendeu o significado de cada um dos tempos acima? Sabe explicar o que causa a variação de cada um deles (porque os valores não são todos iguais)? Qual é a frequência máxima de operação? (Atenção: anote este valor para completar o exercício dado-item 1).

- t) **Próximos passos para Simulação do gate-level:** Para a simulação gate-level, devemos copiar todos os arquivos relacionados ao testbench, utilizados na aula 10, para `x:\psi3451\aula_11\fsmd_fpga`.
- u) Acesse o menu de **Assignments->Settings**. Na caixa de diálogo, dentro do bloco **EDA Tool Settings**, selecione **-Simulation**. Marque a opção “Compile test bench”, clique o botão **Test Benches** e complete todos os campos, como realizado na aula 9. Dê **OK**.
- v) Na janela do **Compiler Tool**, acione a última tarefa **EDA Netlist Writer**.

w) Clique em **Tools > Run EDASimulationTool > EDA Gate Level Simulation**. Agora uma nova janela do software ModelSim-Altera se abrirá. Faça a simulação.

Perguntas: O circuito em gate-level funcionou? É perceptível a presença de tempos de atraso das células lógicas do FPGA?

x) Vamos agora realizar a simulação com os modelos de atraso extraídos da síntese. Na janela do **ModelSim** clique em **Simulate -> Start Simulation**. Na janela que aparece clique em na aba SDF. Em seguida clique em Add e através do *browser* selecione o arquivo `??entity_name??.sdo` que deve estar em `x:\psi3451\aula_11\fsmd_fpga\simulation\modelsim`. Em Apply to Region, coloque o nome da instância do seu projeto dentro do testbench (provavelmente "dut"). Dê **OK**.

y) Na aba Design, em work, selecione a entidade do testbench. Dê **OK**.

Perguntas: O circuito em gate-level funcionou? É perceptível a presença de tempos de atraso das células lógicas do FPGA?

3) Completando o Exercício (item 1)

Comparar os resultados de frequência de operação obtidos com o Leonardo Spectrum (estimado para a tecnologia de 90nm) e com a família Cyclone de FPGA. Interpretar/justificar os resultados.

Para uma comparação justa, deve-se observar que:

- os resultados do FPGA englobam os atrasos de interconexão após o posicionamento dos blocos lógicos (tarefa de **fitting**).
- os resultados do ASIC correspondem apenas aos atrasos das células-padrão. Devemos assumir que no tempo de atraso no chip final seria maior (após a realização de posicionamento e roteamento do ASIC); vamos usar o valor de 25% de acréscimo como exercício.