

**Escola Politécnica da Universidade de São Paulo  
Departamento de Engenharia de Sistemas Eletrônicos - PSI**

**PSI-3451- Projeto de Circuitos Lógicos Integrados**

**Pequeno Manual da Família Cyclone II  
(2017)**

**Conteúdo:**

<b>1. DISPOSITIVOS ALTERA DA FAMÍLIA CYCLONE II</b>	<b>2</b>
1.1. Arquitetura	2
1.2. Elementos Lógicos, LEs	2
1.3. Blocos de Arranjos Lógicos, LABs	4
1.4. Elementos de I/O, IOEs	4
1.5. Sinais globais de relógio e PLLs	4
1.6. Multiplicadores embutidos	5
1.7. Memória embutida	6
1.8. O dispositivo EP2C35F672C6	6
<b>2. MODELO DE TEMPORIZAÇÃO DO CYCLONE</b>	<b>6</b>

## 1. Dispositivos Altera da Família CYCLONE II

Os dispositivos conhecidos pela sigla FPGA (do inglês *field programmable gate array*) são caracterizados por três características: a tecnologia de programação, a arquitetura e os blocos lógicos configuráveis que os compõem. A tecnologia de programação refere-se ao tipo de dispositivo usado para configurar a FPGA. Os mais importantes são célula de memória EPROM (transistor de porta flutuante), antifusível e célula RAM estática. A arquitetura consiste na disposição dos blocos básicos na superfície da FPGA e na forma como estes blocos podem ser conectados entre si. Os blocos lógicos configuráveis são constituídos por diferentes funções lógicas universais (multiplexadores, NANDs, RAMs, AND-OR-INVERT, etc.). Neste texto, vamos apresentar dispositivos da família CYCLONE II da Altera, presente na placa de prototipagem DE2 adotada neste curso.

Os dispositivos CYCLONE II da Altera são FPGAs baseados em elementos reconfiguráveis SRAM CMOS. Estão formados por um arranjo bidimensional de blocos lógicos (LAB). Os dispositivos CYCLONE II podem ser configurados para a sua funcionalidade específica na própria placa. Como a programação é realizada através de células SRAM, a configuração deve ser realizada quando o sistema é ligado, com os dados de configuração armazenados em uma memória de configuração (EPROM, flash ou ROM, por exemplo), ou através das interfaces Active Serial, Passive Serial e JTAG por meio dos cabos MasterBlaster ou ByteBlasterMV, ByteBlaster II ou USB Blaster. Após a configuração do dispositivo CYCLONE II, este pode ser reconfigurado ainda na própria placa através de nova carga. Considerando-se que a reconfiguração leva menos que 100 ms, mudanças em tempo-real no dispositivo podem ser realizadas durante a operação de outros dispositivos do sistema. Outras características importantes da família CYCLONE II são:

- Tecnologia de 90 nm com 1,2V de alimentação.
- Arquitetura de alta densidade contendo de 4608 a 68416 LEs (Elementos Lógicos).
- Blocos de memória embutidos (M4K) de 119 a 1152 kbits.
- De 13 a 150 Multiplicadores embutidos de 18- x 18-bits.
- De 8 a 16 sinais globais de relógio.
- De 2 a 4 PLLs.
- Suporte de especificação do PCI e PCI-X.
- Suporte de memória externa de alta velocidade, incluindo DDR, DDR2, SDR SDRAM e QDR II SRAM.

### 1.1. Arquitetura

O FPGA CYCLONE II possui uma arquitetura bidimensional composta por filas e colunas onde ficam os arranjos de blocos de lógica (*logic array blocks*, LABs). Nos cantos do dispositivo estão os elementos de entrada e saída (IOEs), os quais permitem o roteamento de sinais de entrada e de saída. Como mostrado a Figura 1, o FPGA CYCLONE II consiste em uma série de IOBs, PLLs, LABs, Memórias e Multiplicadores embutidos.

### 1.2. Elementos Lógicos, LEs

O LE, a menor unidade lógica da arquitetura CYCLONE II, tem um tamanho compacto que proporciona uma utilização eficiente de lógica. Como mostrado na Figura 2, um LE consiste de uma LUT de 4 entradas, que é um gerador de funções capaz de computar rapidamente qualquer lógica com 4 entradas. Além disso, cada LE contém um registro programável com uma habilitação

(enable), uma cadeia de carry e outra de registro. Caso a função seja só combinacional, a saída do LUT não passa pelo registrador e vai diretamente para a saída do LE.

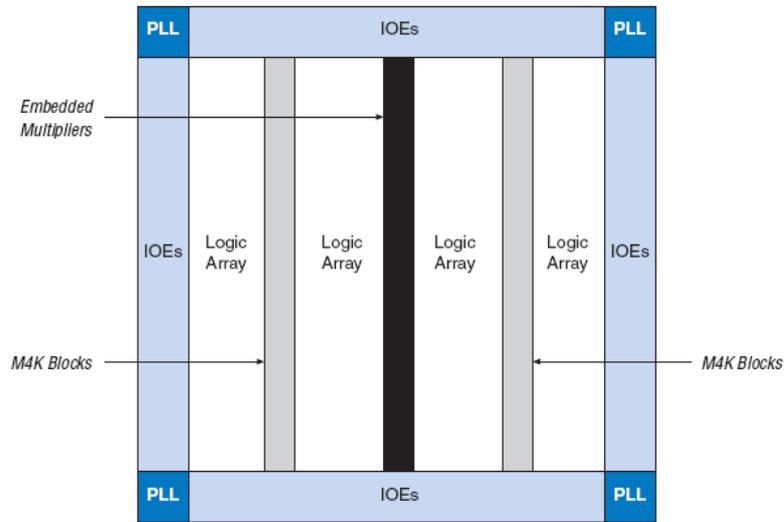


Figura 1 - Arquitetura geral da família CYCLONE II

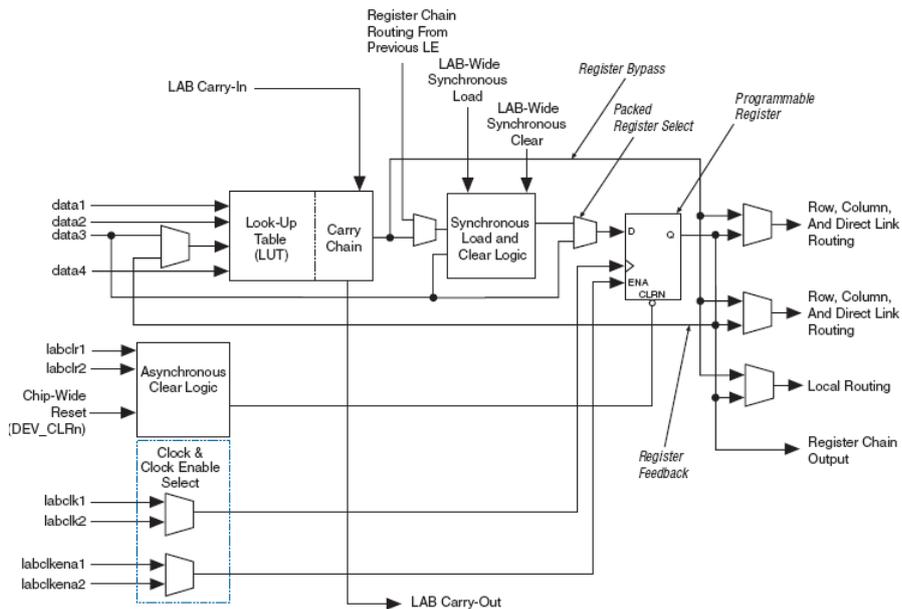


Figura 2 - Elemento lógico, LE

O registrador programável pode ser configurado para ser do tipo D, T, JK ou SR e uma característica importante é que a saída do registrador pode ser realimentada à LUT.

Cada LE tem dois modos de funcionamento: o modo normal e o aritmético. O modo normal é destinado para aplicações gerais de lógica ou para funções combinacionais, enquanto o modo aritmético é ideal para se implementar somadores, contadores, acumuladores e comparadores.

### 1.3. Blocos de Arranjos Lógicos, LABs

São blocos que permitem a implementação da lógica digital. Cada LAB contém 16 LEs, sinais de controle do LAB, cadeias de carry e de registradores, e uma conexão local. Os 16 LEs podem ser usados para a criação de blocos lógicos de tamanho médio como contadores de 8 bits, decodificadores de endereçamento ou máquina de estados finitos- ou combinados com demais LABs para criar blocos ainda maiores. A Figura 3 mostra o LAB do CYCLONE II com os 16 LEs empilhados. O número de LABs depende do tamanho do dispositivo da família.

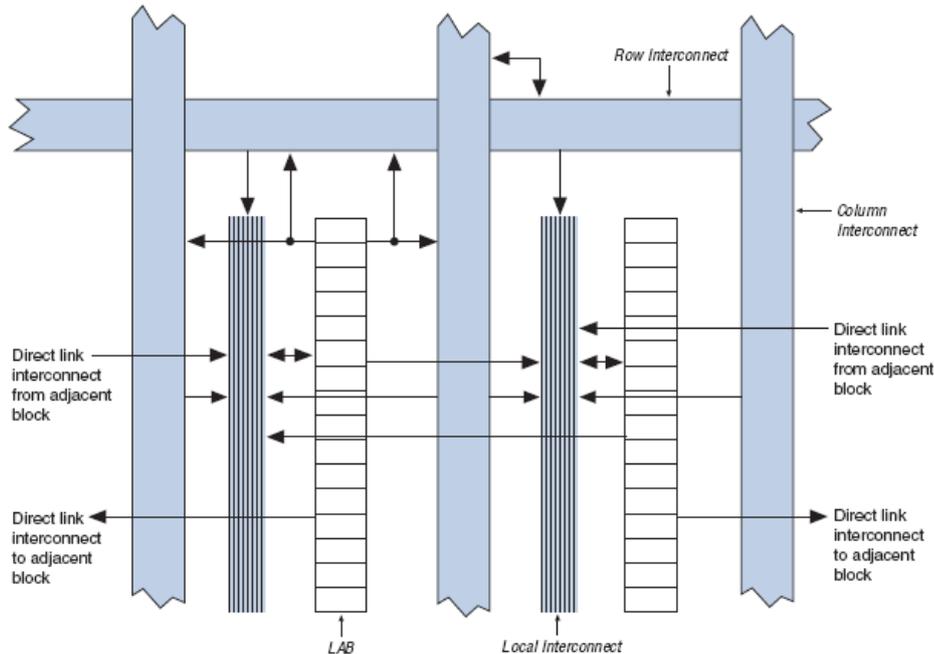


Figura 3 - Interconexões em um LAB

No LAB existem conexões em fileiras e colunas, além da existência da conexão local do LAB que permite o roteamento de sinais entre os LÉs em um mesmo LAB. Os LABs, PLLs, blocos RAM M4K e os multiplicadores, embutidos dentro de uma vizinhança, podem utilizar a conexão local de um LAB através da conexão Direct Link sem ter que utilizar as conexões de colunas e fileiras, permitindo ter um melhor desempenho e maior flexibilidade.

### 1.4. Elementos de I/O, IOEs

Os elementos de entrada e saída (IOEs) do CYCLONE II contém um *buffer* bi-direcional e três registradores que permitem ter uma transferência de dados bi-direcionais. A Figura 4 mostra a estrutura do IOE do CYCLONE II. O IOE tem um registrador de entrada, um de saída e um de habilitação de saída. Os IOEs proporcionam uma série de facilidades como suporte JTAG ou BST (para teste de dispositivos) e *buffers* para alta impedância.

### 1.5. Sinais globais de relógio e PLLs

O CYCLONE II tem de 8 até 16 sinais globais de relógio e de 2 a 4 PLLs. Cada sinal global de relógio tem um bloco de controle que permite selecionar uma entre muitas entradas de relógio. Existem pinos especificamente dedicados aos sinais de relógio (CDPCLK0, DPCLK0, CLK[3..0], etc.). Todos os sinais destes pinos vão primeiro aos blocos de controle e depois se encaminham para a respectiva rede global de relógio, sendo nos blocos de controle onde se habilita ou inabilita o sinal de relógio. A Figura 5 mostra os sinais globais, elementos de controle e PLLs do CYCLONE II.

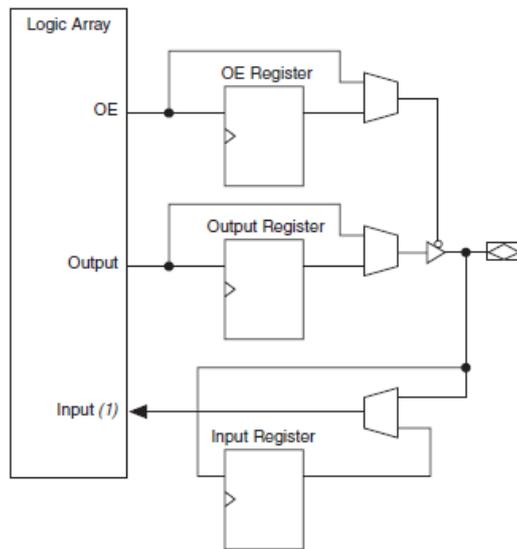


Figura 4 - Elemento de I/O, IOE

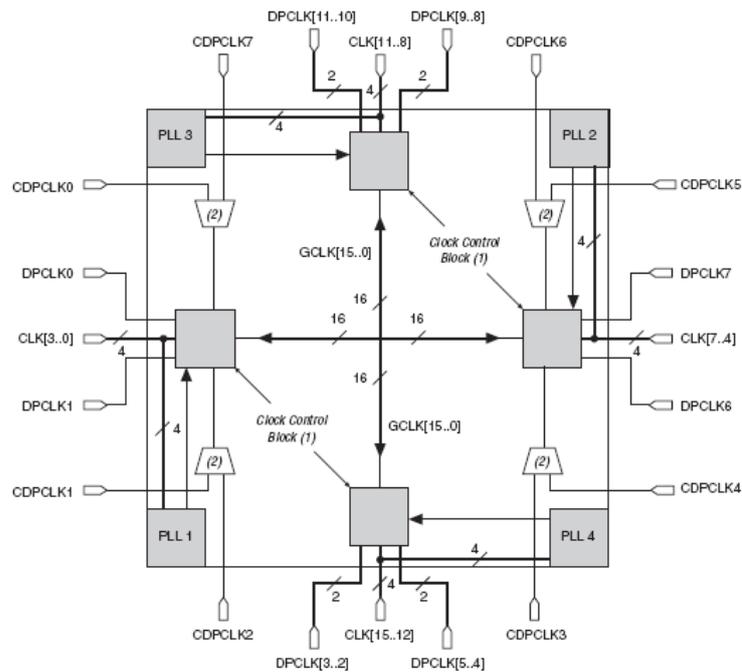


Figura 5 - Sinais globais de relógio e PLLs

### 1.6. Multiplicadores embutidos

O CYCLONE II tem multiplicadores embutidos para permitir a otimização das operações de multiplicação comuns nos DSPs como nos filtros de um impulso finito (FIR), transformada rápida de Fourier, entre outros. Cada multiplicador pode funcionar em duas modalidades: como um multiplicador de 18 bits ou como dois multiplicadores independentes de 9 bits. A Figura 6 mostra o detalhe destes multiplicadores embutidos.

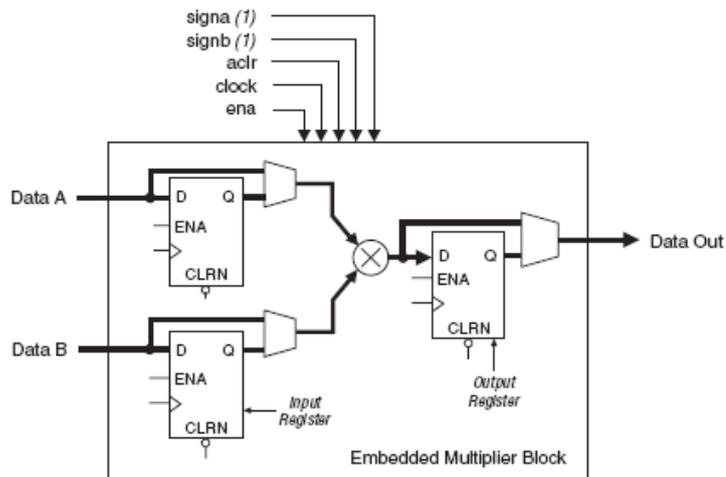


Figura 6 - Multiplicadores embutidos no CYCLONE II

### 1.7. Memória embutida (utilizada na Aula 9 em MegaFunctions)

O CYCLONE II possui blocos embutidos de memória, chamados M4K, onde pode-se implementar diferentes tipos de memórias. Cada M4K tem até 4608 bits de RAM, podendo funcionar a até 250MHz, com possibilidade de ser controlado na borda de subida ou de descida, além de habilitador de relógio, poden implementar inclusive ROMs. A memória pode funcionar do modo: single port, simple dual port, true dual port, shift register, FIFO buffers

### 1.8. O dispositivo EP2C35F672C6

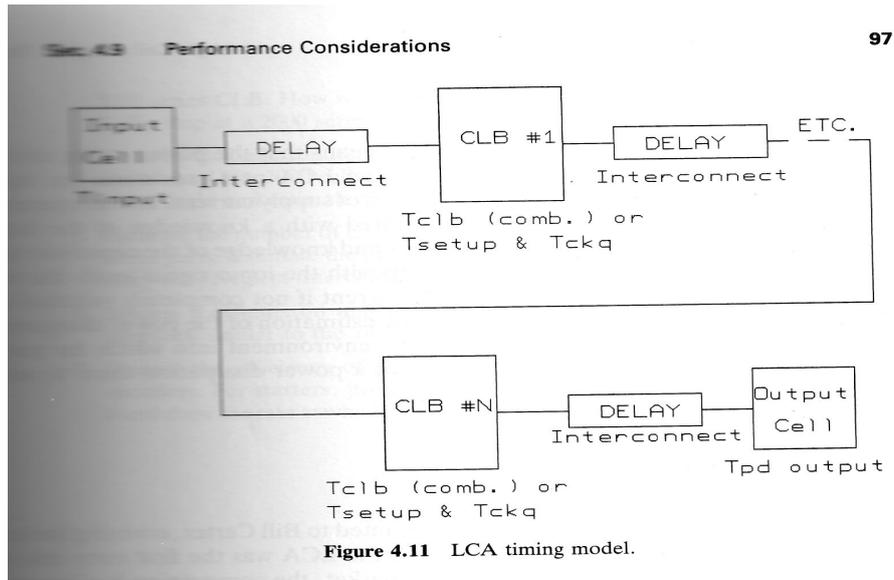
Para este curso, usaremos para análise e simulação o dispositivo EP2C35F672C6 da família CCYCLONE II, residente na placa de prototipagem DE2 da Terasic, adotado para uso nos nossos laboratórios. Trata-se de um dispositivo com as seguintes características:

- Número de filas de LABs: 35
- Número de colunas de LABs: 60
- Número de blocos M4K de memória: 105
- Número de LEs: 33216
- Número total de pinos máximo de usuário: 475
- Speed grade : 6
- Encapsulamento: FineLine BGA (sigla F)
- Temperatura de operação: comercial, de 0°C a 85°C (sigla C)

## 2. Modelo de Temporização do Cyclone

A apresentação do modelo de temporização para os dispositivos da família Cyclone da Altera realça alguns pontos apresentados no livro-texto “*Designing with FPGAs and CPLDs – Jesse H. Jenkins – Prentice Hall – 1994*”, com cópia na biblioteca. O seguinte trecho é de interesse e deve ser lido pelo(a) aluno(a): *Performance Considerations*, páginas 96 e 97, onde se discute o modelo de temporização para FPGAs LCA da Xilinx. O livro referência não menciona explicitamente a família Cyclone, entretanto a análise é válida sob o ponto de vista qualitativo por semelhança entre as arquiteturas.

O modelo básico de temporização para dispositivos da família Cyclone é representado na figura 7 abaixo. Na verdade, a figura refere-se a dispositivos da família LCA da Xilinx, mas há uma semelhança estrutural entre as duas famílias. Na figura, cada CLB corresponde a um bloco com uma ou duas LUTs, registrados ou não. Trata-se de uma representação com um grau de detalhamento menor que as figuras anteriores- de fato, devemos interpretar que dentro dos CLBs há os atrasos individuais referentes à lógica aos muxes, registradores, etc. Cada CLB conecta-se a outros CLBs através de trechos de interconexões ligadas por meio de blocos de chaveamento (para grande parte dos cruzamentos vertical x horizontal há chaves). Desta forma, o atraso dependerá fortemente do posicionamento entre duas lógicas.



**Figura 7. Modelo de Tempo de LCA**

A família Cyclone não se utiliza de CLBs, mas de LABs que estão espalhadas pelo dispositivo. Cada LAB contém elementos lógicos (LES), os quais apresentam semelhança aos CLBs. Da mesma forma, então, o modelo de temporização interno ao LAB (dentro do bloco CLB da figura) pode ser um tanto mais complexo para circuitos maiores, por envolver conexões internas.