

PSI-3451 Projeto de CI Lógicos Integrados

Aula 10- Atividade de Aula - Síntese Lógica no Projeto de ASICs

A parte prática da aula 10 permitirá ao aluno familiarizar-se com a fluxo de projeto de ASICs, particularmente, a síntese lógica, através do programa Leonardo Spectrum e simulando o circuito em nível de portas lógicas de biblioteca.

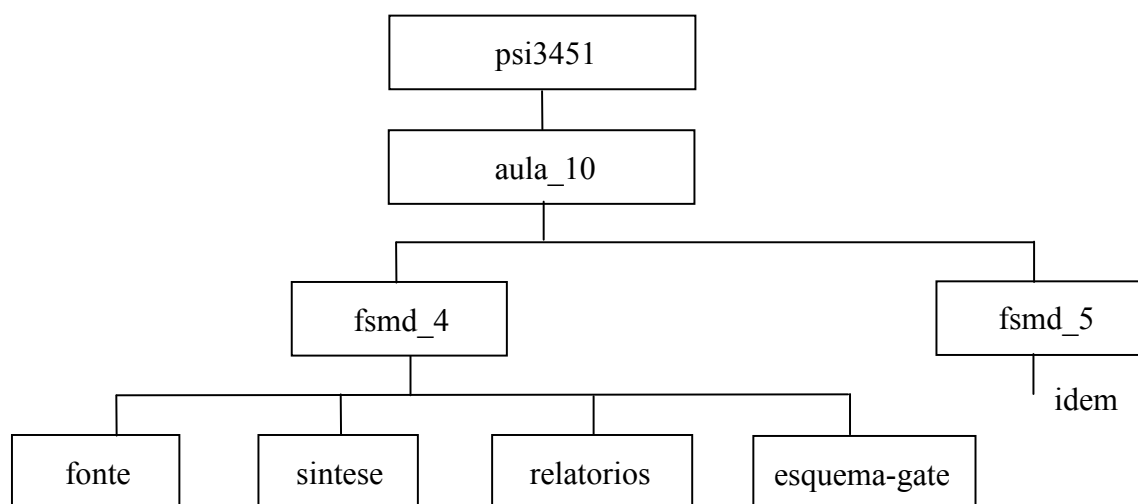
Tenha certeza que sabe responder as perguntas listadas abaixo após a observação dos arquivos ou dos resultados de simulações.

PARTE PRÁTICA

Nesta prática, o(a) aluno(a) usará o arquivo VHDL do módulo fsm_food_with_data, do arquivo fsmd_3.vhd, utilizado na aula 8. Um novo arquivo denominado fsmd_5.vhd, modificado do anterior será distribuído.

Preparação das Pastas e Arquivos para Simulação

Para esta prática, deverá ser criado o sistema de arquivos indicado na figura abaixo dentro do seu diretório **X:\psi3451**. Crie nele a pasta **\aula_10\fsmd_4** e, dentro desta, os subdiretórios (fonte, síntese e relatorios) indicados na figura.



1) Abrindo e conhecendo o Leonardo Spectrum

- Clique no botão Iniciar (do Windows) e digite *leonardo* no campo de busca. Deverá surgir o nome **LeonardoSpectrum** como opção. Dispare o programa.
- Deverá aparecer uma janela do **LeonardoSpectrum** na qual a opção **Leonardo nível 3** deverá ser selecionada. Clique em OK.
- Deverá aparecer uma outra janela a partir da qual se controla (“pilota”) a síntese que será feita. No menu **Tools**, certifique-se que a opção **Flow Tabs** esteja selecionada (fará com que a opção **Quick Setup** esteja desativada).

- d) Observe atentamente esta janela. Na parte superior existem as fichas: **Technology**, **Input**, **Constraints**, **Optimize**, **Report** e **Output**. Gaste alguns minutos clicando sobre cada ficha e utilizando os arquivos de **Help**. Para isto, selecione a opção de menu **Help=> Open Manual Bookcase**. No arquivo PDF que se abrirá, selecione **LeonardoSpectrum User's Manual**, e consulte particularmente o Capítulo 2. Você também deve observar que cada ficha contém sub-fichas (na parte inferior da janela).
- e) Analise as fichas com o manual. Tenha certeza que tenha encontrado e entendido os objetivos principais de cada ficha.

Pergunta: conseguiu entender os objetivos previstos em cada ficha?

- f) Observe que do lado direito da janela do **LeonardoSpectrum** aparecem duas outras sub-janelas, uma à direita inferior denominada de **Command Line**, com enumeração dos comandos de linha acionados no decorrer do projeto (ou seja, é equivalente você comandar a síntese através de botões de comando ou escrevendo diretamente os comandos correspondentes na janela de comandos de linha) e outra, à direita superior, a janela **Monitor**, com o "log" do status de sua síntese, com respostas por parte dos algoritmos do **Leonardo Spectrum**. Identifique-as.

Obs. a cada ação automática via botão, o(s) comando(s)-linha correspondente(s) aparecerá(ão) na janela **Command Line**.

2) Escolhendo a tecnologia e carregando o circuito para a síntese independente da tecnologia

- a) Selecione inicialmente a ficha **Technology**. Observe que dentro da seleção **ASIC** (que será usada neste laboratório), existem **diversas bibliotecas de células**. Selecione a biblioteca **TSMC 0,35 micron (typical)**. Você terá a oportunidade de observar as características das células desta biblioteca mais tarde. Clique em **Load Library** para efetivar a opção. Observe que, a opção de comando linha correspondente aparece na janela de **Command Line**, o que confirma a execução da opção. Também, a janela **Monitor** apresenta o "log", com informações de status, resultados e, eventualmente, problemas decorrentes de cada comando.
- b) Pelo Windows, copie o arquivo **x:\psi3451\aula_8\seq_2\fsmd_3.vhd** para **x:\psi3451\aula_10\fsmd_4\fonte\fsmd_4.vhd**. Observe este arquivo e relembre a sua função de acordo com as apostilas da aula 8.

Perguntas: Relembrou do funcionamento do arquivo vhd? Relembrou do testbench preparado por você?

- c) No **LeonardoSpectrum**, selecione agora a próxima ficha **Input**. Clique em **Open Files** e selecione o arquivo **fsmd_4.vhd** da pasta **fonte**. Observe que diversas opções (default) estão feitas nesta ficha (**Encoding Style auto**, **Resource Sharing ON**, etc.). Mantenha-as inalteradas. Preencha a janela working directory com o nome da pasta **x:\psi3451\aula_10\fsmd_4\sinetese**. Clique em **Read** para carregar o contador.
- d) Observe que, com a leitura, um esquema lógico intermediário é gerado (resultado do síntese independente de tecnologia). Clique em **Tools** e na opção **View RTL Schematic** para ver o desenho do esquema intermediário sintetizado. O mesmo resultado seria obtido, clicando sobre o ícone vermelho (na barra superior) **View RTL Schematic**. Clique em **Tools** e na opção **Design Browser**, em sequência, para ler as informações sobre o esquema sintetizado (bibliotecas utilizadas, portos, nós, células, etc.).

ATENÇÃO: O esquema intermediário já é formado por células e objetos da biblioteca interna do **Leonardo Spectrum**. O desenho do esquema gerado pelo **View RTL Schematic** pode estar representado por hierarquia, ou seja, por blocos e sub-blocos. Tenha certeza que você viu o circuito todo clicando duas vezes sobre todos blocos e sub-blocos.

- e) Identifique os objetos do **Design Browser**. Saiba diferenciar as bibliotecas e identificar os seus significados. Clique nos objetos da biblioteca **work** e do esquema lógico e verifique que eles estão interligados.

Perguntas: Conseguiu identificar os elementos encontrados no Design Browser e os elementos do do desenho do RTL? Conseguiu correlacionar os elementos do desenho com o VHDL original? Associou a biblioteca de primitivas e operadores do Design Browser com os elementos do desenho?

3) Ajustando restrições e mapeando o circuito com células de tecnologia

- a) Prosseguindo o fluxo de síntese, selecione a ficha seguinte (**Constraints**), e nela especifique a frequência do *clock* em 200 MHz. Confirme a opção clicando em **Apply**. Observe que muitas outras condições poderiam ser neste momento impostas, mas não vamos fazê-lo neste momento.
- b) Selecione a ficha Optimize e confirme que a Target Technology é efetivamente a ADK – TSMC 0,35 micron (typical), correspondente à biblioteca de tecnologia escolhida. Verifique que o parâmetro de otimização é “Optimize For Area” e que o controle de Optimize Effort esteja no mínimo (todo à esquerda). Veja que a arquitetura do circuito está selecionada no Design Browser. Clique Optimize.
- c) Observe a mensagem na janela do Monitor (*atenção: não confundir a janela de Monitor com a de Command Line- veja o item 2.a*).

Pergunta: Você verificou que a mensagem indica que a otimização global foi ok e que a o ajuste de timing não foi necessário?

- d) Você pode ver o resultado desta etapa (destas duas otimizações), selecionando novamente Tools, opção View Gate Level Schematic e opção Design Browser ou clicando sobre o ícone azul (na barra superior) View Gate Level Schematic. Clique também em Schematic Viewer e desmarque MultiPage Schematics (esta opção só estará ativa se o seu esquemático for complexo e não couber com boa visibilidade em uma única página).
- e) Observe que um novo esquema apareceu (os objetos ou blocos são diferentes do anterior?), assim como novas bibliotecas ou itens no Design Browser.
- f) Clique sobre o ícone verde (na barra superior) **View Critical Path Schematic**. Observe o esquema que aparece.

Perguntas: Conseguiu identificar os elementos encontrados no Design Browser e os elementos do do desenho do gate-level? Associou a biblioteca de tecnologia do Design Browser com os elementos do desenho?

Perguntas: Por que o esquema gerado conseguiu ser tão rápido? Por que ele contém poucos elementos e componentes? O que a síntese lógica fez?

Perguntas: Entendeu o que é o caminho crítico? Identificou o caminho crítico dentro do desenho gate-level?

Pergunta: Ficou clara a diferença entre a descrição RTL e a gate-level?

4) Carregando novo circuito para a síntese independente da tecnologia

- a) Pelo Windows, selecione **Rede=> NEWSERVERLAB => psi3451 => aula_10** e copie o arquivo **fsmd_5.vhd** para **x:\psi3451\aula_10\fsmd_5\fonte**. Observe este arquivo e atente que algumas novas saídas (entity) foram adicionadas.

Pergunta: Entendeu a diferença entre o fsmd_4 e fsmd_5?

- b) No **LeonardoSpectrum**, selecione a ficha **Input** e clique em **Open Files**, selecionando o arquivo **fsmd_5.vhd** da pasta **fonte**; apague a seleção anterior, **fsmd_4.vhd**. Mantenha as opções *default*. Preencha a janela **working directory** com o nome da pasta **x:\psi3451\aula_10\fsmd_5\sintese**. Clique em **Read** para carregar o contador.
- c) Observe a mensagem na janela do Monitor (*atenção: não confundir a janela de Monitor com a de Command Line- veja o item 2.a*).

Perguntas: Entendeu a mensagem do monitor? Que alterações o Leonardo Spectrum realiza sobre modelo VHDL original para a síntese? Imagina que efeitos terá no comportamento do circuito sintetizado?

- d) Observe que, com a leitura, um esquema lógico intermediário é gerado (resultado do síntese independente de tecnologia). Clique em **Tools** e na opção **View RTL Schematic** para ver o desenho do esquema intermediário sintetizado. O mesmo resultado seria obtido, clicando sobre o ícone vermelho (na barra superior) **View RTL Schematic**. Veja que **Schematic Viewer=> Multipage Schematics** esteja desativado (esta opção só estará ativa se o seu esquemático for complexo e não couber com boa visibilidade em uma única página). Clique em **Tools** e na opção **Design Browser**, em sequência, para ler as informações sobre o esquema sintetizado (bibliotecas utilizadas, portas, nós, células, etc.).

Perguntas: Verificou as diferenças em relação ao RTL do item 2)? Que mais objetos da biblioteca de primitivas e operadores foram incorporados ao circuito?

5) Ajustando restrições e mapeando o circuito com células de tecnologia para fsmd_5

- a) Prosseguindo o fluxo de síntese, selecione a ficha seguinte (**Constraints**), e nela especifique a frequência do *clock* em 200 MHz. Confirme a opção clicando em **Apply**.
- b) Selecione a ficha **Optimize** e confirme que o parâmetro de otimização é “Optimize For Area” e que o controle de **Optimize Effort** esteja no mínimo (todo à esquerda). Veja que a arquitetura do circuito está selecionada no **Design Browser**. Clique **Optimize**.
- g) Observe a mensagem na janela do Monitor (*atenção: não confundir a janela de Monitor com a de Command Line- veja o item 2.a*).

Perguntas: Você verificou que são apresentados resultados de duas otimizações (global e de ajuste de timing) realizadas automaticamente e em sequência?

- h) Você pode ver o resultado desta etapa (destas duas otimizações), selecionando novamente **Tools**, opção **View Gate Level Schematic** e opção **Design Browser** ou clicando sobre o ícone azul (na barra superior) **View Gate Level Schematic**. Clique também em **Schematic Viewer** e desmarque **MultiPage Schematics** (esta opção só estará ativa se o seu esquemático for complexo e não couber com boa visibilidade em uma única página).
- i) Observe que um novo esquema apareceu (os objetos ou blocos são diferentes do anterior?), assim como novas bibliotecas ou itens no **Design Browser**.

- j) Clique sobre o ícone verde (na barra superior) **View Critical Path Schematic**. Observe o esquema que aparece.

Perguntas: Conseguiu identificar os elementos encontrados no Design Browser e os elementos do do desenho do gate-level? Associou a biblioteca de tecnologia do Design Browser com os elementos do desenho? O esquema elétrico mudou/ficou mais complexo em relação ao fsmd_4? Por que?

Perguntas: A velocidade do circuito com o esquema gerado mudou? Por que?

Perguntas: Entendeu o que é o caminho crítico? Identificou o caminho crítico dentro do desenho gate-level?

Pergunta: Entendeu a diferença de procedimento da síntese lógica para fsmd_1 e fsmd_2?

6) Gerando relatórios de área e tempo

- a) Prosseguindo a síntese, clique sobre a ficha **Report**. Observe que na parte inferior desta ficha existem duas sub-fichas: **Report Area** (que deve estar selecionada) e **Report Delay**. Na ficha **Report Area**, no campo **Report File Name** informe o nome **X:\psi3451\aula_10\fsm_d_5\resultados\area**. Observe e confirme todas as opções que aparecem na ficha e clicando sobre **Report Area**.
- b) Em seguida selecione a outra sub-ficha e acione todas as opções menos **Sort by Delay**, **No I/O Terminals** e **No Internal Terminals**. No campo **Report File Name** informe o nome **X:\psi3451\aula_10\fsm_d_5\resultados\delay**. Confirme clicando em **Report Delay**. Pelo **Windows Explorer**, verifique que os arquivos foram criados e confirme que são relatórios do seu circuito com mapeamento tecnológico. (Atenção: caso não esteja no pasta de relatorios, verifique se os arquivos de relatório não foram gravados diretamente no *working directory*).

Perguntas: Conseguiu associar os resultados de área com os elementos do seu desenho gate-level? Conseguiu associar os resultados de área com o resultado visto do Monitor? Qual é a unidade de área adotada? Quantos FFs foram usados? Faz sentido?

Perguntas: Conseguiu associar os resultados de tempo com os elementos do caminho crítico obtido no item 3.f? O que é o tempo de setup? Conseguiu identificar cada um dos tempos do relatório?

7) Gerando o VHDL do arquivo sintetizado (nível de portas) e simulando-o

- a) Selecione a última ficha **Output** e, nela selecione **Format VHDL**. No campo **Filename** informe o nome **X:\psi3451\aula_10\fsm_d_5\esquema-gate\fsm_d_5_gt.vhd**. Confirme clicando em **Write**.
- b) Abra o arquivo VHDL gerado e tente entendê-lo.

Pergunta: Como você compara o arquivo VHDL gerado e o novo desenho gate-level?

- c) Esta etapa consiste em verificar se o circuito lógico gerado apresenta a mesma função descrita no código VHDL inicial pré-síntese (já simulado na aula 8). A simulação no nível de portas lógicas fornece informações mais precisas sobre os atrasos que ocorrem no circuito, permitindo assim verificar, com mais precisão, qual será o seu desempenho no mundo real.

- d) Abra o Modelsim. Crie a biblioteca work e importe nela os arquivos contendo as descrições das células que foram utilizadas durante a síntese. Estes se encontram em Rede\NEWSERVERLAB\psi3451\aula_10, com o nome ADK.VHD e ADK_COMP.VHD.
- e) Compile os arquivos **fsmd_5_gt.vhd** assim como os arquivos de **testbench da aula 8** (seq_2) no ModelSim e simule o circuito (testbench).

Pergunta: A simulação ocorreu como esperado?

- f) Caso a simulação não ocorra como o esperado, veja se há modificações a fazer (retorne ao Leonardo e reveja os avisos da síntese durante **Read**, particularmente, a respeito das condições iniciais).
- g) Inclua no arquivo fsmd_5.vhd condições de reset para os registradores count, ram_out, mem_a_address_1 e mem_a_address_2.
- h) Refaça o processo de síntese para gerar um novo esquema em gate-level. Resimule.

Pergunta: O comportamento original foi mantido?

8) Reajustando restrições e remapeando o circuito com células de tecnologia

- a) A título de curiosidade, vamos realizar uma outra exploração do fluxo de síntese com o **fsmd_5.vhd** - selecione a ficha (**Constraints**), e nela especifique a frequência do *clock* em 100 MHz. Confirme a opção clicando em **Apply**..
- b) Selecione a ficha Optimize e confirme que a Target Technology é efetivamente a ADK – TSMC 0,35 micron (typical), correspondente à biblioteca de tecnologia escolhida. Verifique que o parâmetro de otimização é “Optimize For Area” e que o controle de Optimize Effort esteja no mínimo (todo à esquerda). Veja que a arquitetura do circuito está selecionada no Design Browser. Clique Optimize.
- c) Observe a nova mensagem na janela do Monitor.

Perguntas: Você verificou que é apresentado o resultado de apenas uma otimização (global)? Sabe explicar o que ocorreu agora?

9) Gravando o tcl.

- a) **É possível gravar toda a sequência de comandos que você realizou. Assim, se a mesma síntese tiver que ser repetida. Ative a opção View > Report Window. No menu File selecione *save command file* e grave o arquivo em X:\psi3451\aula_10\fsmd_5\fonte. Você poderá repetir toda a sequência através deste *script*, bastando, no Leonardo Spectrum, selecionando no menu File, a opção Run script (X:\psi3451\aula_10\fsmd_5\fonte\fsmd_5.tcl por exemplo).**