SSC0611
Arquitetura de Computadores

14ª Aula – Evolução Arquitetura Intel – Parte 1

Profa. Sarita Mazzini Bruschi

sarita@icmc.usp.br

Arquitetura x86

- Conhecida como arquitetura x86 ou 8086 devido ao fato dos primeiros processadores serem identificados por número terminados em 86 (8086, 80286, etc.)
- Primeira arquitetura desenvolvida e manufaturada pela Intel
- Originalmente com palavras de 16 bits, sofreu duas alterações:
  - 1985 – de 16 para 32 bits – IA-32 (*Intel Architecture*)
  - 2003 – de 32 para 64 bits - AMD introduziu o Athon 64

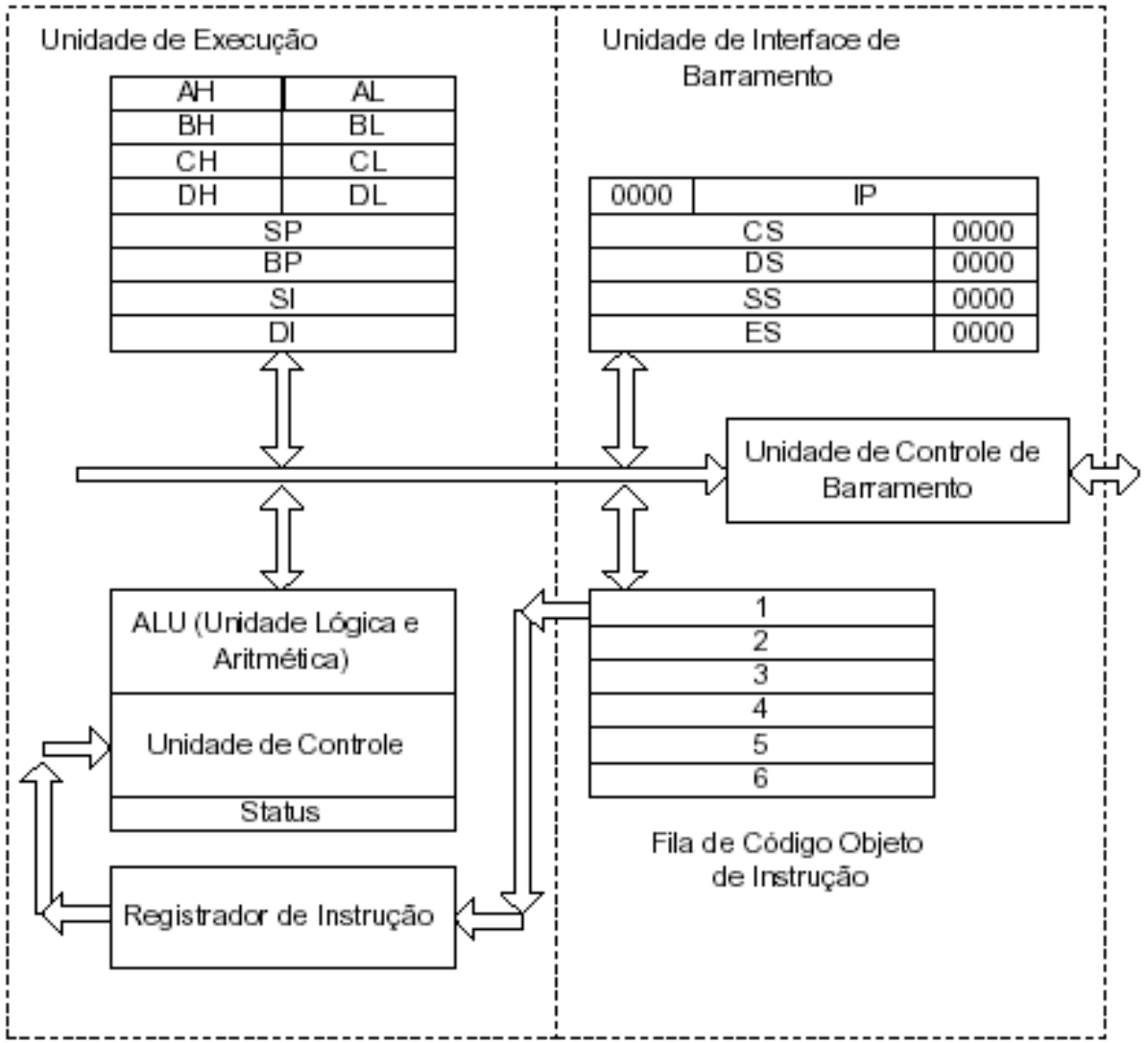
Arquitetura x86
8086

- Microprocessador de 16 bits
- Projetado pela Intel em 1978
- 8088
  - Mesmo chip com barramento externo de dados de 8 bits
  - Processador utilizado no original IBM PC
- A unidade de interface do barramento fornecia à unidade de execução 6 prefetch bytes (instruções variavam de 1 a 4 bytes)
  - Forma primitiva de *pipeline*

Arquitetura x86
8086

- Barramentos compartilhado:
  - Endereço: 20 bits, podendo endereçar 2^{20} posições de memória (1 MByte)
  - Dados: 16 bits
  - Controle
- Memória é segmentada (segmento:deslocamento)
  - Os segmentos são apontados por um registrador de 16 bits
- 16 Registradores:
  - 4 de propósito geral (AX, BX, CX, DX)
  - 4 de segmento (CS, DS, ES, SS)
  - 4 de endereço (SP, BP, SI, DI)
  - Contador de Programa
  - Flags
- Clock:
  - Variando de 4,77 a 10 MHz

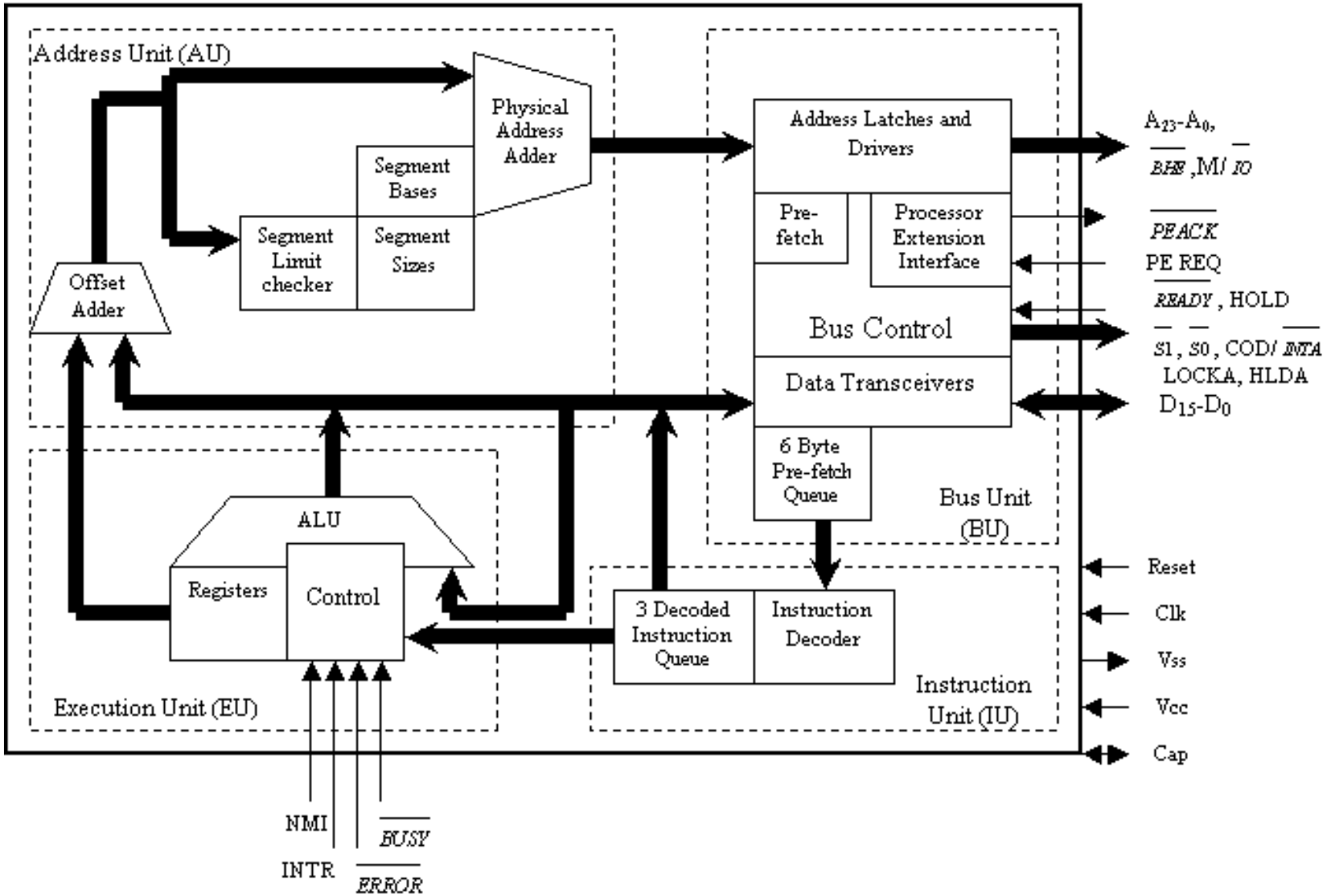
Arquitetura x86
8086



Arquitetura x86
80286

- Segunda geração dos processadores x86
- Microprocessador de 16 bits, 6 a 12 MHz
- 1982
- Barramento de Dados de 16 bits e de Endereço de 24 bits (16 MB de memória)
- Pipeline de 4 estágios:
  - BU: unidade de acesso e controle do barramento
  - IU: unidade de decodificação de instruções
  - EU: unidade de execução de instruções
  - AU: unidade de formação de endereços

80286


Address Unit (AU)
Physical Address Adder
Segment Bases
Segment Limit checker
Segment Sizes
Offset Adder
Address Latches and Drivers
Pre-fetch
Processor Extension Interface
Bus Control
Data Transceivers
6 Byte Pre-fetch Queue
Bus Unit (BU)
A23-A0,
BHE ,M/ IO
PEACK
PE REQ
READY , HOLD
S1 , S0 , COD/ INTA
LOCKA, HLDA
D15-D0
ALU
Registers
Control
Execution Unit (EU)
3 Decoded Instruction Queue
Instruction Decoder
Instruction Unit (IU)
Reset
Clk
Vss
Vcc
Cap
NMI
INTR
BUSY
ERROR

Arquitetura x86
80286

- Dois modos:
  - Real: emulava o modo de operação do 8086 (20 bits de endereçamento)
  - Protegido: endereçamento de 16 MB de memória real e uso do mecanismo de gerência de memória virtual (endereça até 1GB)
    - Utilização dos registradores de segmento do 8086 como ponteiros para descritores de tabelas os quais permitiam acessar a memória através de um endereço de 24 bits
  - Problemas:
    - Muitos programas desenvolvidos para o 8086 não utilizavam o modo protegido
    - Chaveamento de um modo para o outro só podia ser feito uma vez enquanto o computador estivesse ligado

Arquitetura x86
80386

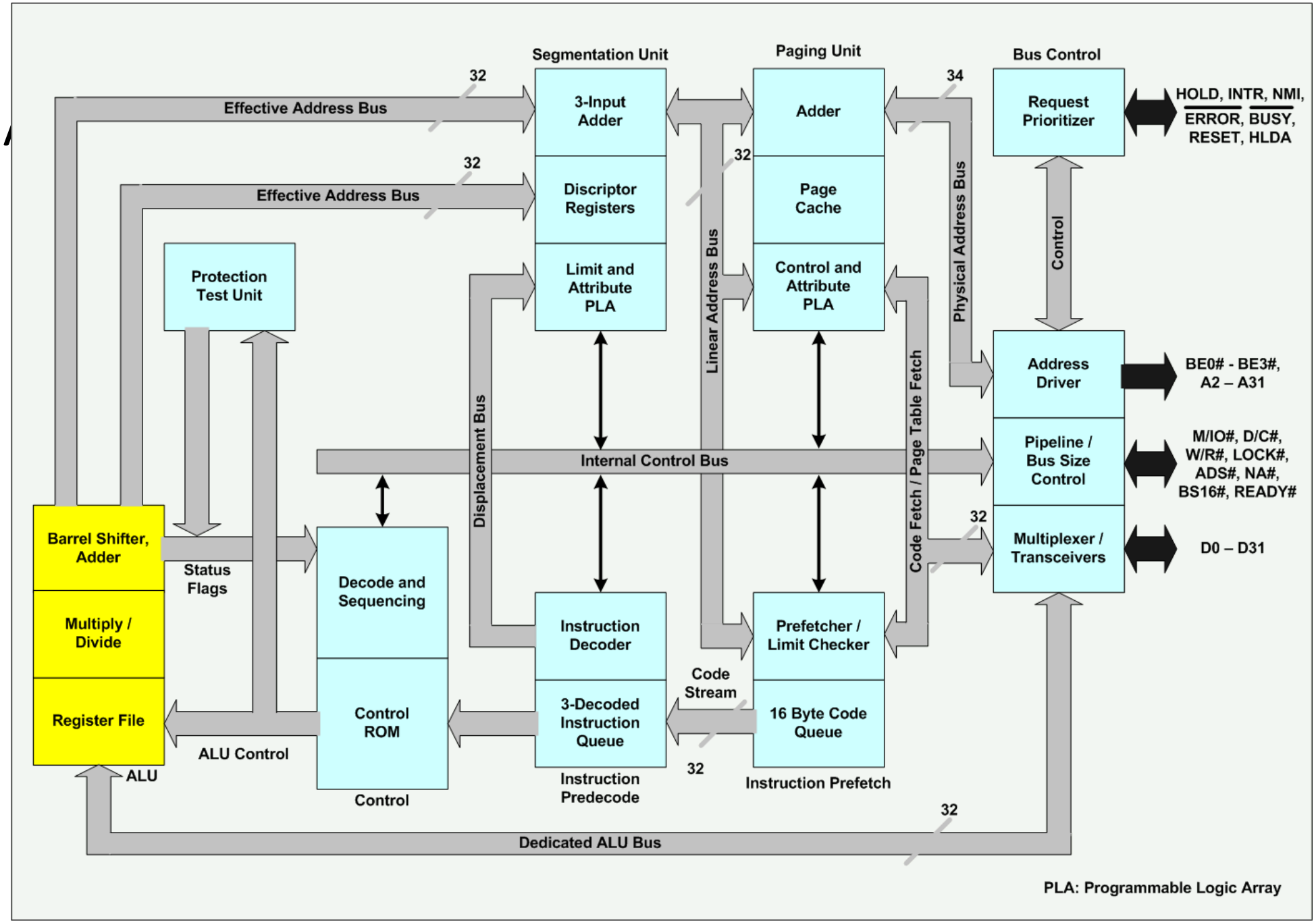
- Terceira geração dos processadores x86
- 1985
- Alguns consideram o primeiro Pentium
  - Microprocessador de 32 bits
  - Conjunto de instruções denominado IA-32, ou i386
  - Implementação do conceito de Memória Virtual

Arquitetura x86
80386

- Três modos:
  - Real: 8086
  - Protegido: modo protegido do 286, mas estendido para o modo de endereçamento do 386 (endereçamento de 4GB de memória)
  - Virtual: execução de uma ou mais máquinas virtuais do 8086 no modo protegido
- Variações:
  - SX (16 a 40 MHz): 32 bits internos mas barramento externo de 16 bits
  - DX (16 a 33 MHz): original
  - SL (20 a 25 MHz): para notebook (incluia opções para poupar energia)
  - EX: versão *embedded* (utilizada no telescópio Hubble)

Arquitetura x86
80386

- 6 unidades de pipeline:
  - EU: unidade de execução de instruções
  - BU: unidade de acesso e controle do barramento
  - IU: unidade de decodificação de instruções
  - PU: unidade de *pré-fetch*
  - PgU: unidade de formação de endereço (*paging unit*)
  - SU: unidade de formação de endereço (*segmentation unit*)


Segmentation Unit
Paging Unit
Bus Control
32
Effective Address Bus
3-Input Adder
Adder
34
Request Prioritizer
HOLD, INTR, NMI,
ERROR, BUSY,
RESET, HLDA
32
Effective Address Bus
Discriptor Registers
32
Page Cache
Physical Address Bus
Control
Protection Test Unit
Limit and Attribute PLA
Linear Address Bus
Control and Attribute PLA
Address Driver
BE0# - BE3#,
A2 – A31
Displacement Bus
Internal Control Bus
Code Fetch / Page Table Fetch
Pipeline / Bus Size Control
M/IO#, D/C#,
W/R#, LOCK#,
ADS#, NA#,
BS16#, READY#
32
Barrel Shifter, Adder
Multiply / Divide
Register File
Status Flags
Decode and Sequencing
Instruction Decoder
Prefetcher / Limit Checker
Multiplexer / Transceivers
D0 – D31
Code Stream
Control ROM
3-Decoded Instruction Queue
16 Byte Code Queue
ALU Control
ALU
Control
Instruction Predecode
32
Instruction Prefetch
32
Dedicated ALU Bus
PLA: Programmable Logic Array

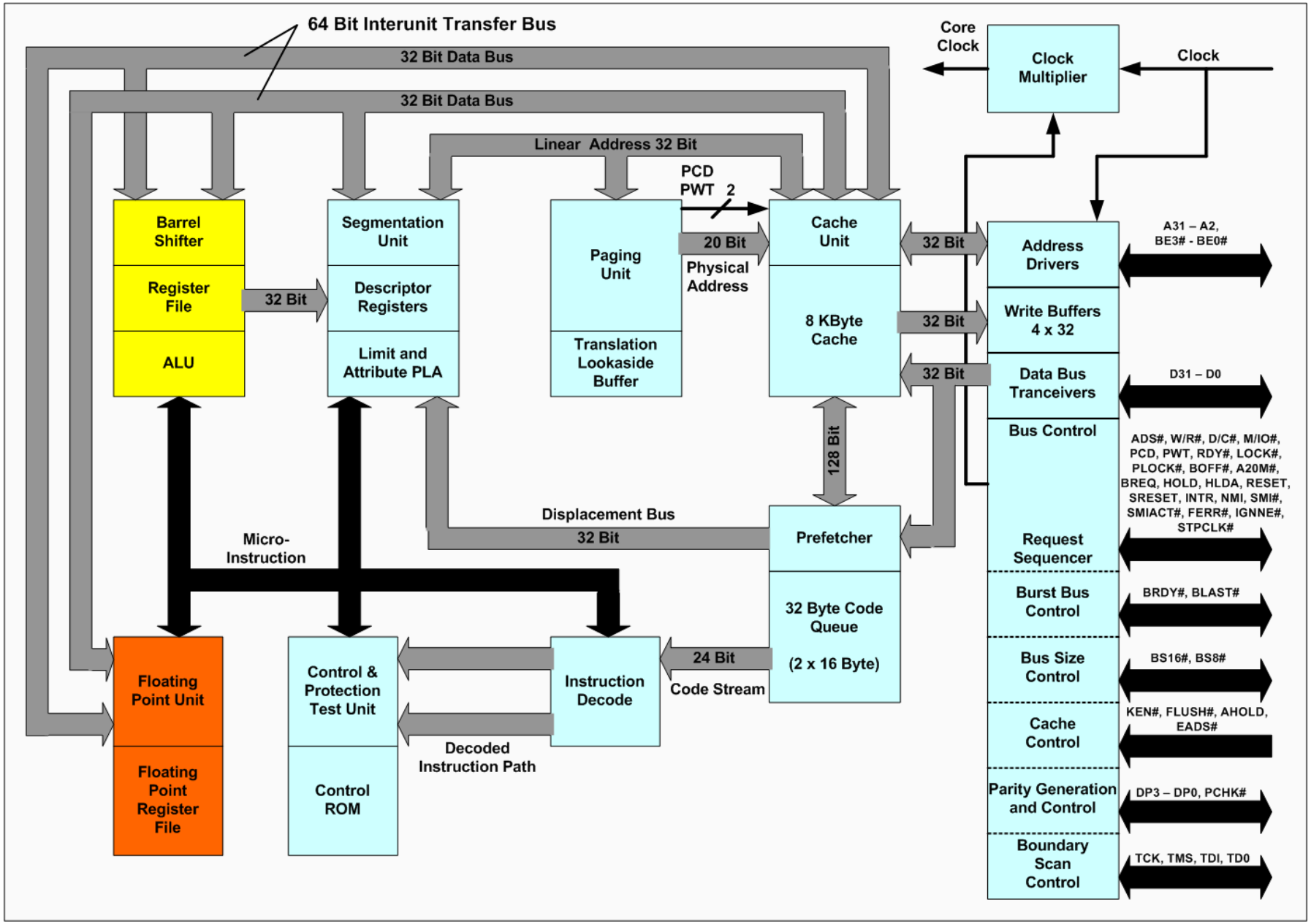
Arquitetura x86
80386

- Registradores:
  - Foram estendidos para 32 bits, colocando a letra **E** na denominação de todos (EAX, ESI, etc.)
- Acesso à memória segmentada e paginada foram importantes para o suporte à sistemas operacionais multitarefas (como Windows e Linux)
- Coprocessador matemático 80387

Arquitetura x86
80486

- Quarta geração dos processadores x86
- Mesmo conjunto de instruções que o 80386, com o acréscimo de poucas instruções
- Do ponto de vista de hardware, houveram alterações:
  - Cache unificada de instruções e dados no chip
  - Unidade de ponto flutuante (em algumas versões)
  - Melhor interface de barramento
  - Em condições ótimas, o processador consegue manter uma taxa de 1 instrução por ciclo de clock, melhoria esta que permitiu um melhor desempenho que o 80386 mesmo com o mesmo clock

80486


64 Bit Interunit Transfer Bus
32 Bit Data Bus
32 Bit Data Bus
Linear Address 32 Bit
PCD
PWT
2
Core Clock
Clock Multiplier
Clock
Barrel Shifter
Register File
ALU
32 Bit
Segmentation Unit
Descriptor Registers
Limit and Attribute PLA
Paging Unit
Translation Lookaside Buffer
20 Bit
Physical Address
Cache Unit
8 KByte Cache
32 Bit
32 Bit
32 Bit
128 Bit
Address Drivers
Write Buffers 4 x 32
Data Bus Tranceivers
Bus Control
Request Sequencer
Burst Bus Control
Bus Size Control
Cache Control
Parity Generation and Control
Boundary Scan Control
A31 – A2, BE3# - BE0#
D31 – D0
ADS#, W/R#, D/C#, M/IO#, PCD, PWT, RDY#, LOCK#, PLOCK#, BOFF#, A20M#, BREQ, HOLD, HLDA, RESET, SRESET, INTR, NMI, SMI#, SMIACT#, FERR#, IGNNE#, STPCLK#
BRDY#, BLAST#
BS16#, BS8#
KEN#, FLUSH#, AHOLD, EADS#
DP3 – DP0, PCHK#
TCK, TMS, TDI, TD0
Displacement Bus
32 Bit
Prefetcher
32 Byte Code Queue
(2 x 16 Byte)
24 Bit
Code Stream
Micro-Instruction
Instruction Decode
Control & Protection Test Unit
Control ROM
Decoded Instruction Path
Floating Point Unit
Floating Point Register File

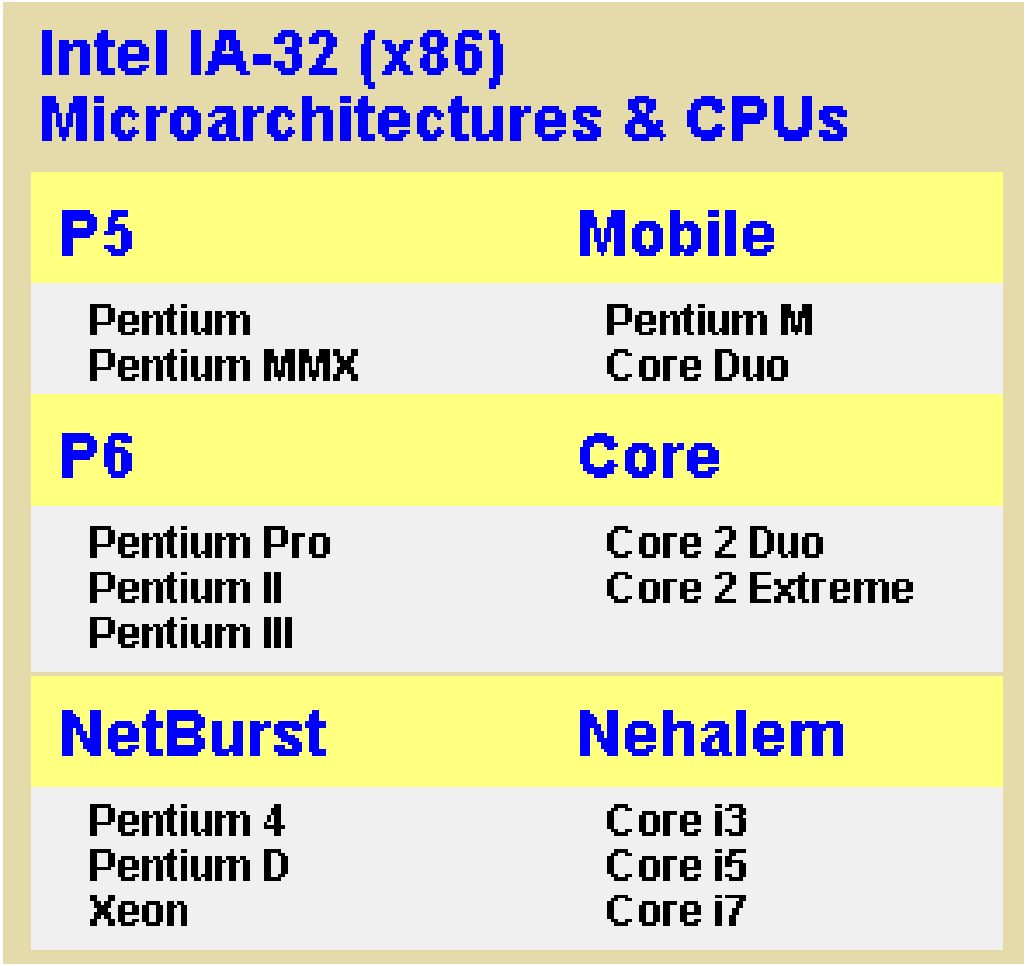
Arquitetura x86
80486

- Variações:
  - SX (20 a 40 MHz): 486DX com a FPU (Unidade de Ponto Flutuante) desabilitada e, em versões posteriores, retirada do *die*
  - DX (25 a 100 MHz): com FPU
  - DX2: clock do processador executa com o dobro do clock do barramento externo
  - DX4: clock do processador executa com o triplo do clock do barramento externo

Arquitetura x86
Pentium – Alguns modelos

- Pentium (1993 – 1996) – 60 a 200 MHz
- Pentium Pró (1995 – 1997) – 150 a 200 MHz
- Pentium MMX (1997 – 1999) – 233 a 300 MHz
- Pentium II (1997 – 1999) – 233 a 450 MHz
- Xeon (introduzido em 1998) – 400 MHz a 3 GHz
- Celeron (introduzido em 1998) – 266 MHz a 2,88 GHz
- Pentium III (1999 – 2001) – 500 MHz a 1,3 GHz
- Pentium 4 (introduzido em 2000) – 1,4 a 3,4 GHz
- Pentium 4 Dual Core (2005)
- Core Line (2006)

Arquitetura x86
Pentium - Modelos



Arquitetura x86
Pentium - Arquiteturas

- P5
  - Processadores P5, P54 e P54C
    - Pentium
    - Alterações no processo de produção do chip
    - Problema na unidade de ponto flutuante, que ficou conhecido como *Pentium FDIV (Floating point DIVision) bug*
  - P55C
    - Pentium MMX
    - Novo conjunto de instruções com 57 instruções MMX

Arquitetura x86
Pentium - Arquiteturas

- Instruções MMX (*Multi Media eXtension*): conjunto de instruções SIMD (*Single Instruction Multiple Data*) para aplicações multimidia
  - Inclusão de 8 registradores de 64 bits, denominados MM0 a MM7, mapeados fisicamente nos registradores de ponto flutuante
  - As novas instruções podem operar sobre grupos de 64 bits, que podem ser 8 bytes, 4 palavras ou 2 palavras duplas

Arquitetura x86
Pentium

- Quinta geração dos processadores x86
- Originalmente 80586 ou i586
- 1993
- Microprocessador de 32 bits, variando de 60 a 200 MHz
- Mehoria em relação ao 80486:
  - Superescalar
  - 64 bits para o barramento de dados

Arquitetura x86
Pentium

- Pipeline de 5 estágios:
  - **Prefetch** (PF): CPU busca o código da cache de instrução e alinha o código ao byte inicial da próxima instrução a ser decodificada
  - **First Decode** (D1): a CPU decodifica a instrução e gera uma palavra de controle
  - **Second Decode** (D2): a CPU decodifica a palavra de controle provinda do estágio D1 para ser usada no estágio E (execução). Tem-se também a formação de endereços para referências de dados em memória
  - **Execute** (E): a CPU acessa a cache de dados ou calcula os resultados da ULA, ou outras unidades funcionais necessárias
  - **Write Back** (WB): CPU atualiza os registradores e os flags com os resultados das operações

Arquitetura x86
Pentium

- Superescalar:
  - Possui 2 *datapaths* (caminho de dados): U e V
    - O pipe U pode manipular qualquer instrução enquanto o V pode manipular somente as instruções mais simples e comuns
  - Possui 1 pipeline para instruções de ponto flutuante

Pentium

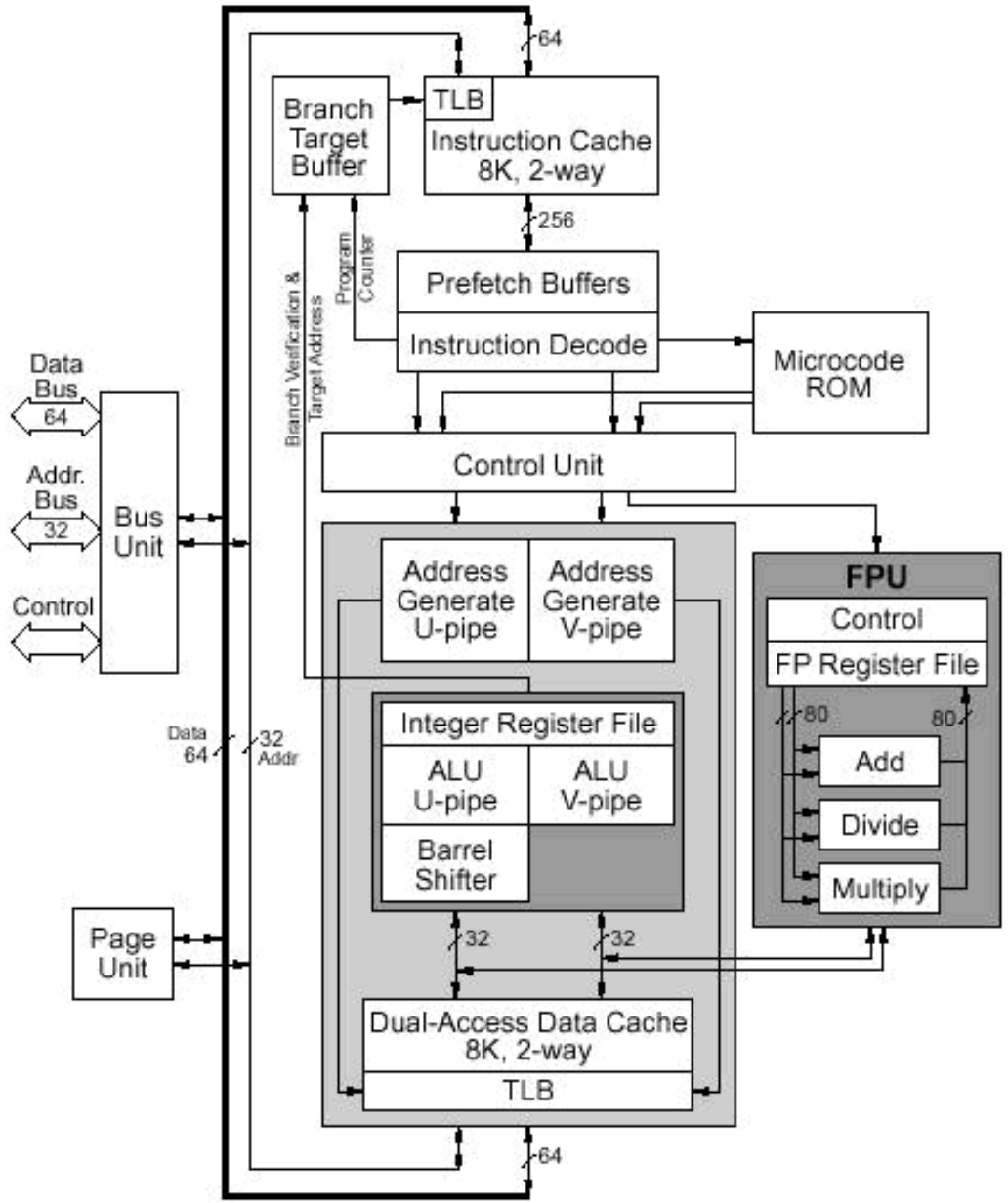


Figure 1. Pentium block diagram.

Arquitetura x86
Pentium - Arquiteturas

- P6
  - Sexta geração de processadores da arquitetura x86
  - Foi introduzida em 1995 e sucedida pela arquitetura NetBurst em 2000
  - Foram 3 gerações (Pentium Pro, II e III) e depois voltou com a fabricação dos processadores Pentium M, principalmente devido ao baixo consumo de energia
  - Conhecida pelo baixo consumo de energia e relativa alta taxa de instruções por ciclo (IPC – *Instruction per cycle*)

Arquitetura x86
Pentium - Arquiteturas

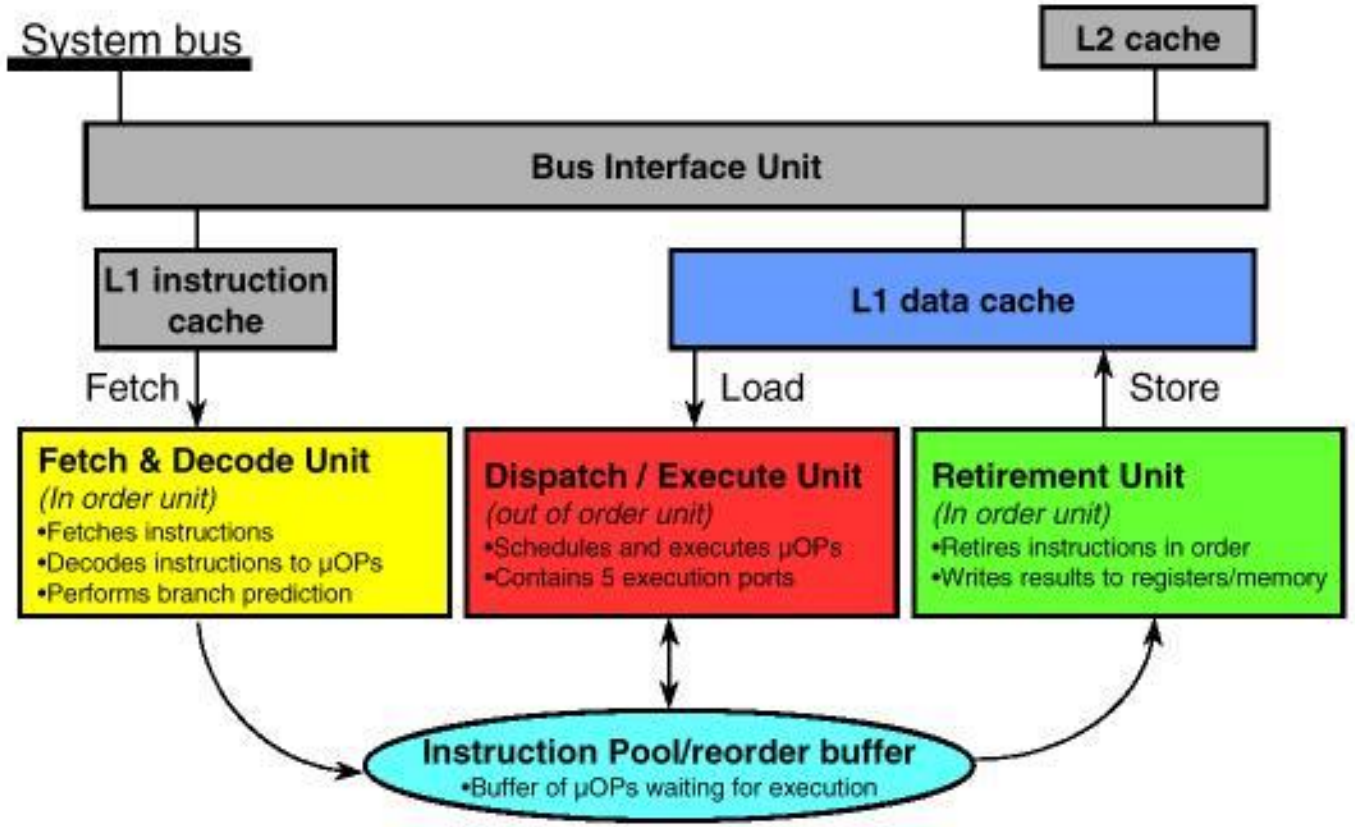
- P6
  - Melhorias do Pentium Pro sobre o P5:
    - Superpipelining: aumentou de 5 para 10 estágios de pipeline (Pentium Pro), 11 estágios (Pentium III) e 12-14 estágios (Pentium M)
    - Cache L2 integrado no processador em alguns modelos
    - Barramento de endereço de 36 bits, aumentando a capacidade de endereçamento de memória física
    - Execução especulativa: execução fora de ordem

Arquitetura x86
Pentium - Arquiteturas

- Modelos P6:
  - Pentium Pro (1995): sucessor imediato do Pentium (P5)
  - Pentium II (1997):
    - Pentium Pro com MMX
    - Dobro de cache interna (2 x 16 KB),
    - Cache externa (L2) de 512 KB, fora do processador, rodando com a metade da frequência do processador
    - Introduziu a nova geração de memória SDRAM e o barramento AGP
  - Pentium II Celeron: não possui L2
  - Pentium II Celeron A: cache L2 com 128 KB no processador
  - Pentium II Xeon: destinado a servidores e computadores com múltiplas CPUs, apresentando cache L2 de 512 KB, 1 ou 2 MB

Arquitetura x86
Pentium - Arquiteturas

- Pentium I



Arquitetura x86
Pentium - Arquiteturas

- Modelos P6 (continuação):
  - Pentium III (1999):
    - SSE:
      - Adição de 70 instruções SSE (*Streaming SIMD Extensions*), conhecidas a princípio como MMX2
      - 8 novos registradores de 128 bits, denominados XMM0 a XMM7 e, diferente do Pentium Pro e do Pentium II, esses registradores não são mapeados para os registradores de ponto flutuante, sendo diferentes dos registradores MMX
      - Três grupos de instruções: vetores inteiros, vetores em ponto flutuante e sobre memória cache
  - Pentium III Celeron:
    - Igual ao Pentium III, com 128 KB de cache L2 no processador
  - Pentium III Xeon:
    - Igual ao Pentium III, com 1 ou 2 MB de cache L2

Arquitetura x86
Pentium - Arquiteturas

Modelos P6 (continuação):

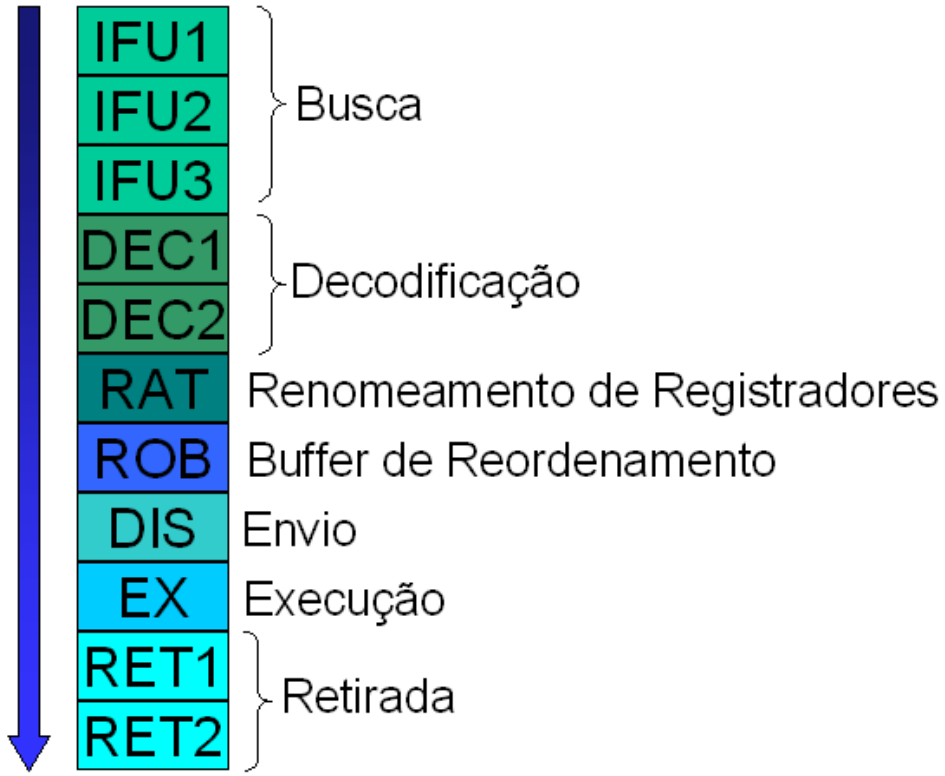
- Pentium M (Mobile)
- Celeron M
  - Possui metade da cache L2 do Pentium M e não suporta a tecnologia SpeedStep
- Core Solo
  - Processadores Yonah
    - Primeiro processador a utilizar a tecnologia de 65 nm, baseado na arquitetura do Pentium M
    - Inclusão de instruções SSE3 e melhorias nas instruções SSE e SSE2
    - Possui o mesmo chip com 2 processadores do Core Duo, mas um dos processadores é desativado por não passar no controle de qualidade
- Core Duo
  - Segundo processador com 2 núcleos (o primeiro foi o Opteron 260, da AMD)

Arquitetura x86
Pentium M

- Parte da plataforma Centrino (compreende CPU + chipset + módulo de rede sem fio)
- Projetado especialmente para laptop
- Igual ao Pentium III com:
  - Melhoria na previsão de desvios (*branch prediction*)
  - Interface de barramento compatível com o Pentium 4 (transferência de 4 dados por pulso de clock (QDR))
  - Instruções SSE2
  - Cache L1 maior (dois de 32 KB, um p/ dados e outro p/ instruções)
  - Cache L2 de 1 ou 2 MB

Arquitetura x86
Pentium M

- Pipeline parecido com o do Pentium III

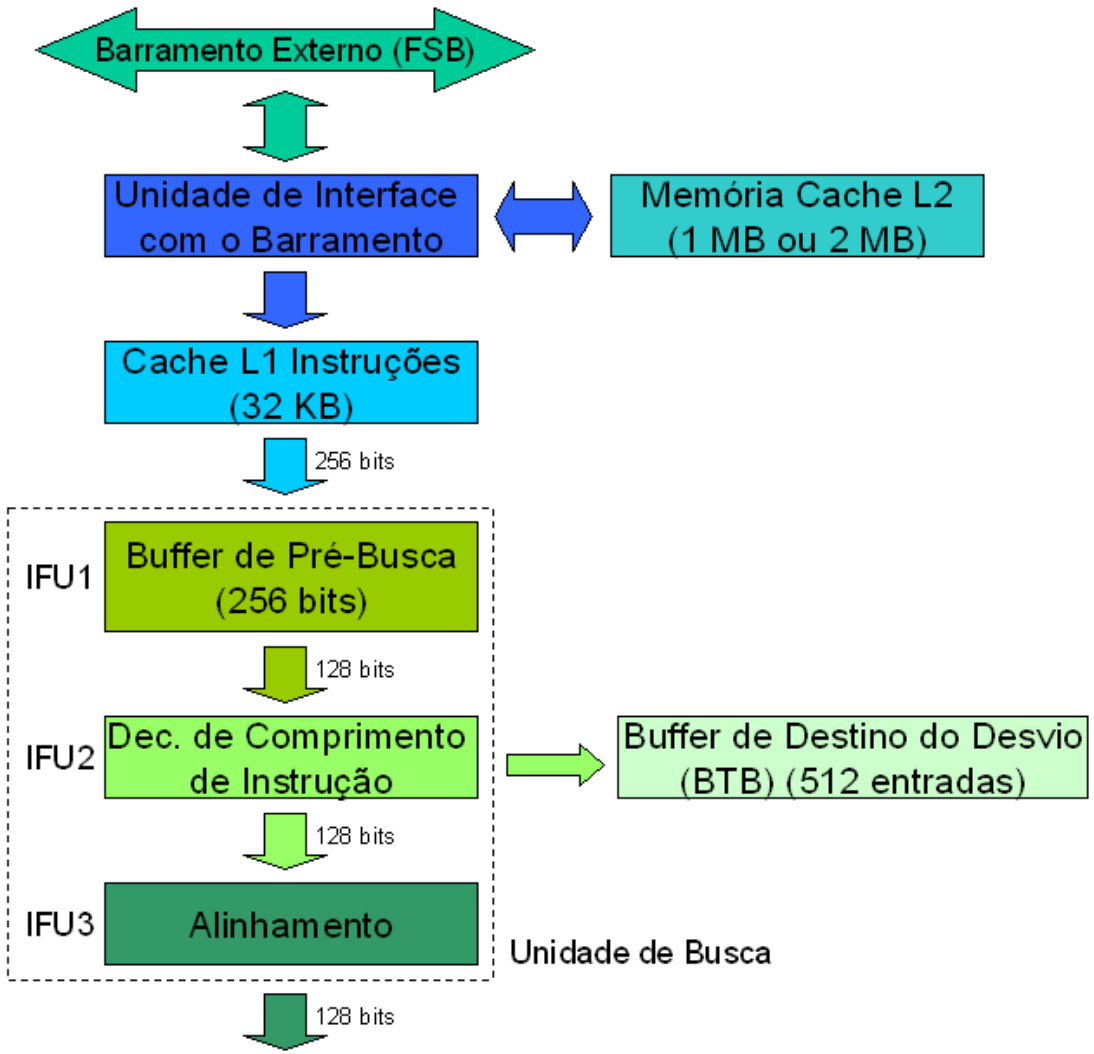


Arquitetura x86
Pentium M

- Pipeline
  - Busca – Estágio 1 (IFU1): carrega uma linha (32 Bytes = 256 bits) da cache L1 de instruções e armazena no buffer de pré-busca (ISB – *Instruction Streaming Buffer*)
  - Busca – Estágio 2 (IFU2): identifica o limite das instruções nos 32 Bytes (nem todas as instruções são do mesmo tamanho). Se for uma instrução de desvio, já armazena o endereço para onde deve ser desviado no buffer de destino de desvio (BTB – *Branch Target Buffer*)
  - Busca – Estágio 3 (IFU3): separa as instruções para serem entregues aos decodificados apropriados (são 3 decodificadores)

Arquitetura x86
Pentium M

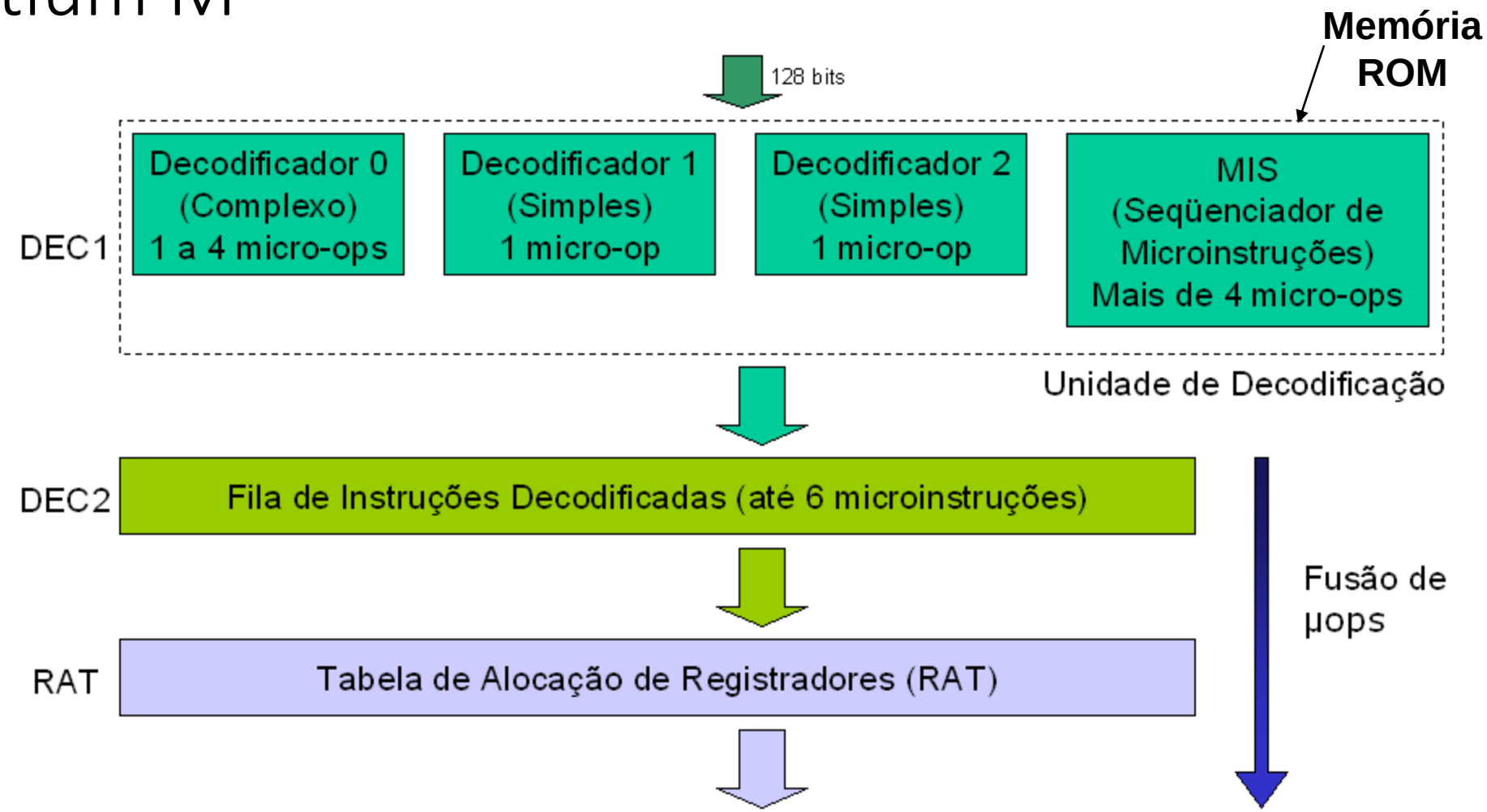
Unidade de Busca
em 3 estágios



Arquitetura x86
Pentium M

- Pipeline
  - Decodificação – Estágio 1 (DEC1): decodifica a instrução x86 em uma microinstrução RISC. Com 3 unidades de decodificação, é possível decodificar até 3 instruções ao mesmo tempo
  - Decodificação – Estágio 2 (DEC2): passa as microinstruções para a fila de instrução decodificadas, capaz de armazenar até 6 microinstruções
  - Renomeamento de registradores (RAT): troca do nome do registrador por um dos 40 registradores internos, com o objetivo de que, se a instrução é executada fora de ordem, o conteúdo do registrador original não é alterado

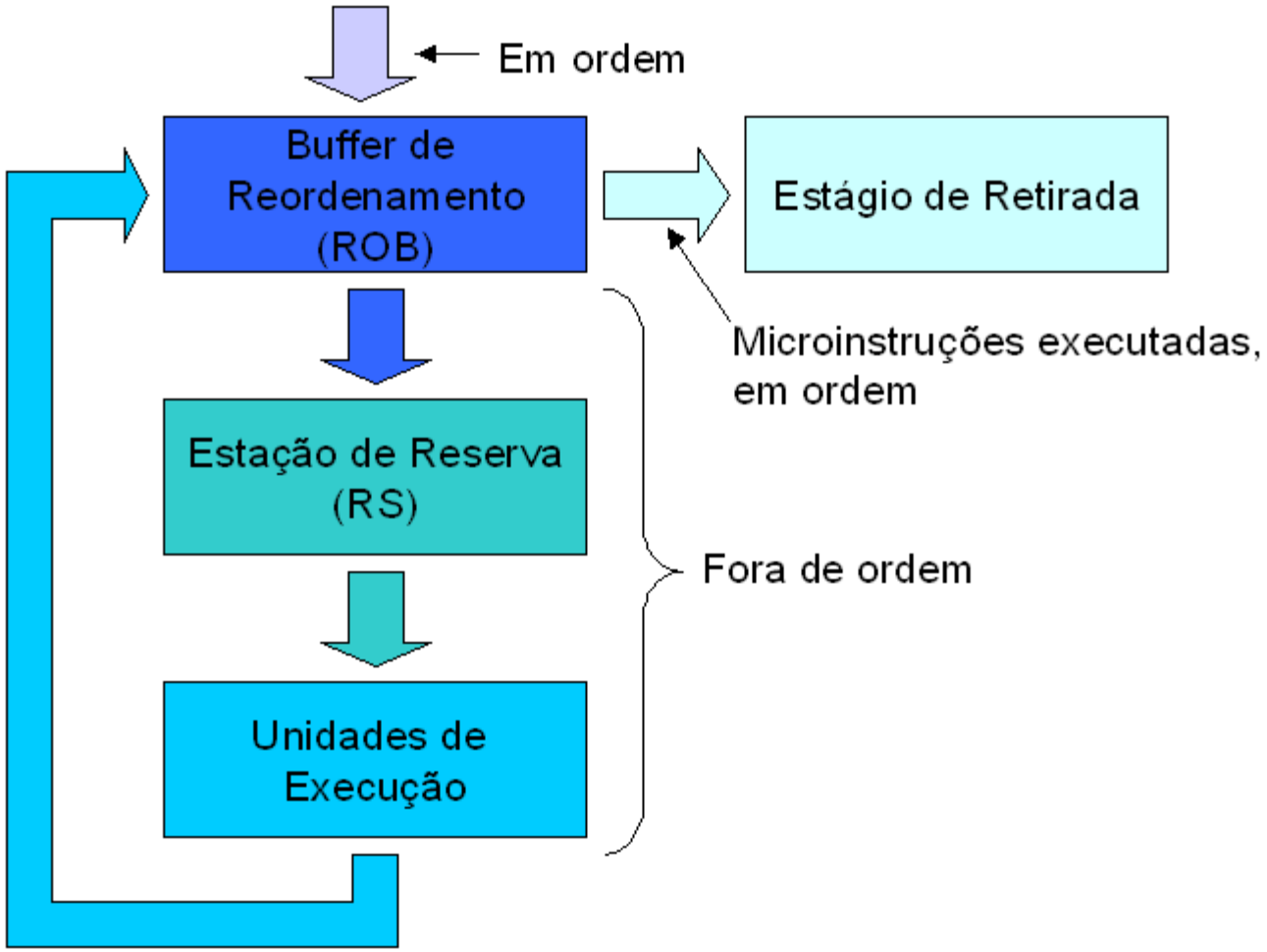
Arquitetura x86
Pentium M



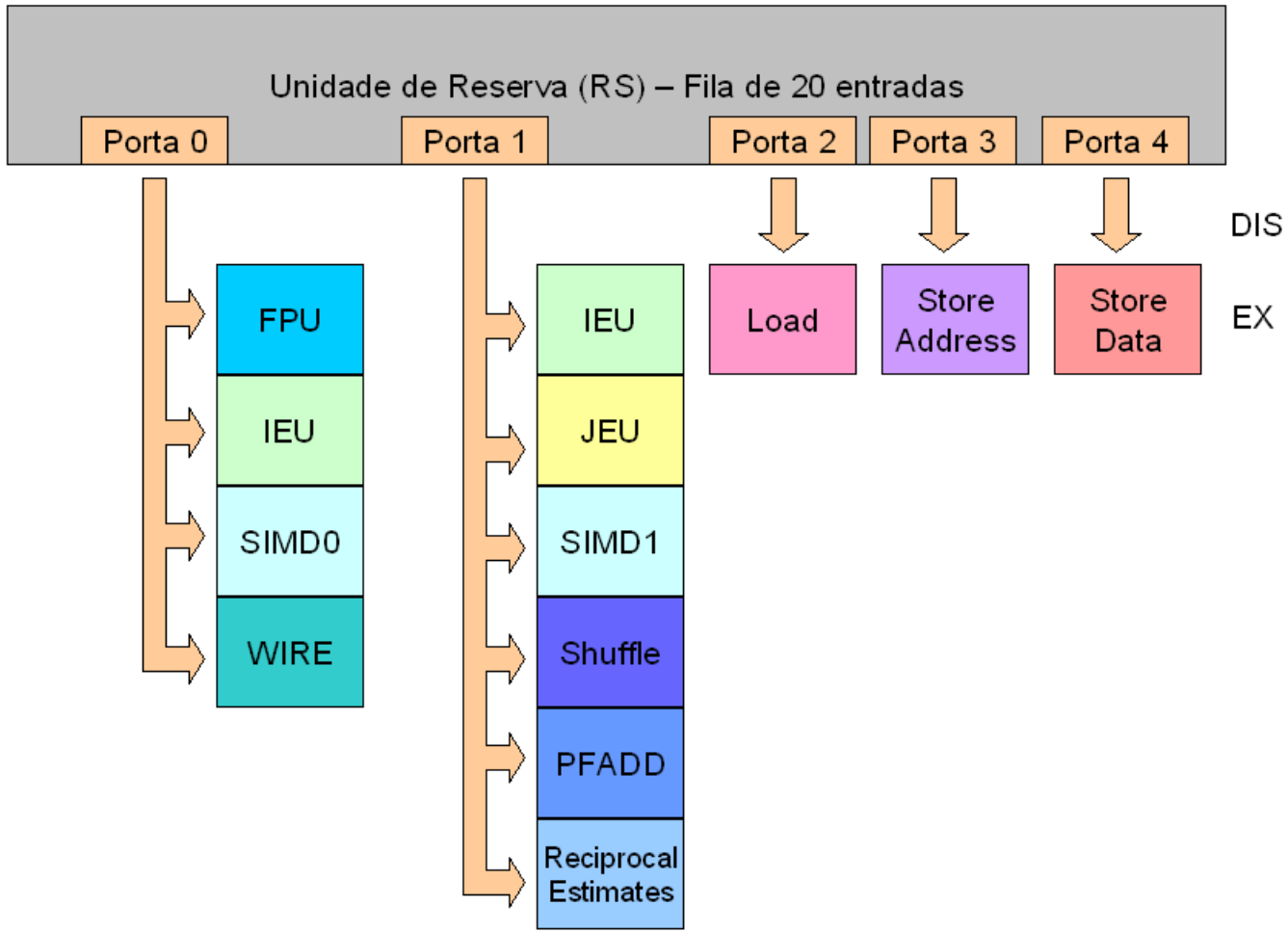
Arquitetura x86
Pentium M

- Pipeline
  - Buffer de reordenamento (ROB): três microinstruções são carregadas para esse buffer. Se todos os dados estiverem disponíveis e se houver espaço na fila de microinstrução da unidade de reserva, então a microinstrução é copiada para a fila da unidade de reserva
  - Envio (DIS): microinstrução enviada para a unidade de execução apropriada
  - Execução (EX): a microinstrução é executada na unidade de execução apropriada, em geral, em 1 ciclo de clock

Arquitetura x86
Pentium M



Arquitetura x86
Pentium M



Arquitetura x86
Pentium M

- Unidades de Execução:
  - IEU (*Instruction Execution Unit*): local onde as instruções “comuns” são executadas. Instruções comuns são operações aritméticas e lógicas sobre inteiros, portanto essa unidade nada mais é que a ULA
  - FPU (*Float Point Unit*): execução de instruções complexas, ou seja, sobre números em ponto flutuante
  - SIMD: execução das instruções SIMD (MMX, SSE e SSE2)
  - WIRE: outras funções (não divulgado pela Intel)
  - JEU (*Jump Execution Unit*): processa os desvios
  - Shuffle: executa um tipo de instrução SSE denominada shuffle
  - PFADD: executa instruções SSE denominadas PFADD (*Packet FP Add*). Possui latência de 3 pulsos de clock

Arquitetura x86
Pentium M

- Unidades de Execução:
  - Reciprocal Estimate: executa instruções SSE denominadas RCP (Reciprocal Estimate) e RSQRT (Reciprocal Square Root Estimate)
  - Load: processa instruções que requerem dados da memória RAM
  - Store Address: processa instruções que requerem que os dados sejam escritos na memória RAM. Também conhecida como AGU (*Address Generator Unit*). Utiliza as unidades Store Address e Store Data ao mesmo tempo
  - Store Data: processa instruções que requerem que os dados sejam escritos na memória RAM. Utiliza as unidades Store Address e Store Data ao mesmo tempo

Arquitetura x86
Pentium M

- Pipeline
  - Retirada – Estágio 1 (RET1): verifica no buffer de reordenamento se existem microinstruções que podem ser marcadas como executadas
  - Retirada – Estágio 2 (RET 2): quando todas as microinstruções da instrução x86 já forem retiradas do buffer de reordenamento e todas as microinstruções da instrução x86 atual já foram executadas, essas microinstruções são removidas do buffer de reordenamento e os registradores são atualizados, em um processo inverso ao de renomeamento dos registradores (até 3 microinstruções podem ser retiradas do buffer de reordenamento por pulso de clock)

Arquitetura x86
Pentium M

- Tecnologia SpeedStep
  - Criada com o Pentium III para aumentar a autonomia da bateria, permitindo chavear entre duas freqüências de operação:
    - Modo de baixa freqüência (LFM – *Low Frequency Mode*)
    - Modo de alta freqüência (HFM – *High Frequency Mode*)
  - Para isso, possuia 2 multiplicadores de clock
  - O Pentium M introduziu a tecnologia Enhanced SpeedStep, possuindo outras tensões entre o LFM e o HFM

Arquitetura x86
Pentium M

- Tecnologia SpeedStep
  - Exemplo Pentium M de 1,6 GHz:

Tensão	**Clock**
1,484 V	1,6 GHz
1,42 V	1,4 GHz
1,276 V	1,2 GHz
1,164 V	1 GHz
1,036 V	800 MHz
0,956 V	600 MHz

Arquitetura x86
Pentium M

- Tecnologia SpeedStep
  - Percebe-se que em momentos de ociosidade, não se reduz somente o clock, mas também a tensão, permitindo economizar energia do notebook
  - A tecnologia funciona através do monitoramento de registradores denominados Contadores de Desempenho, aumentando ou diminuindo o clock e a tensão dependendo da utilização do processador