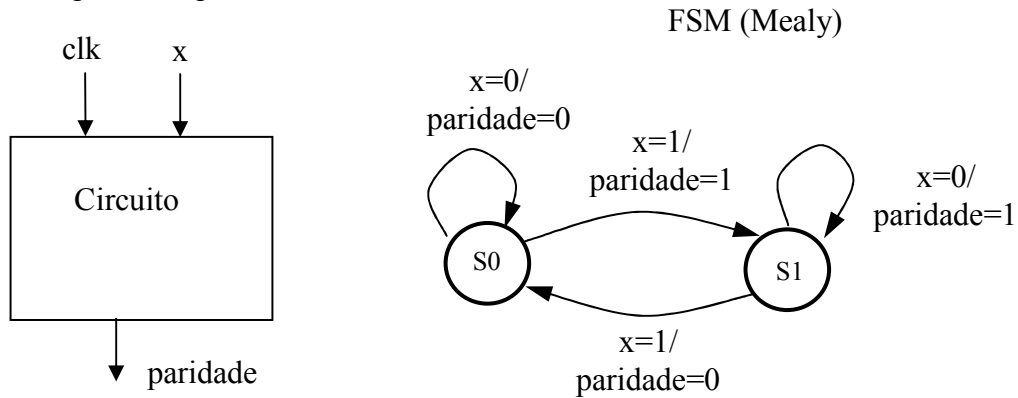


## Exercícios sobre FSMs e FSMDs

- 1) A figura abaixo apresenta as entradas e saídas de um circuito e a FSM (Mealy) que descreve o seu comportamento. O circuito que indica à sua saída se ocorreu até o momento uma sequência par ou ímpar de entradas.



- a) Esboce o diagrama de estados equivalente como uma máquina de Moore.
  - b) Elabore o ASM correspondente da FSM.
  - c) Descreva o circuito em VHDL, seguindo o template para FSMs (recomenda-se simular para se ter certeza de que a codificação foi correta).
- 2) É dada a seguinte especificação de um circuito que faz contagem de 60 minutos (registrador M) e de segundos (registrador S); o minuto é incrementado a cada 60 segundos:
- Ao se iniciar a máquina, os sinais M e S devem ser ajustados para valor 0 e o sinal Tick\_hora deve assumir o valor '0';
  - Ao se completar uma hora, o sinal Tick\_hora deve assumir o valor '1', voltando ao estado inicial
- a) Elabore o ASM correspondente da FSMD (Moore).
  - b) Descreva o circuito em VHDL, seguindo o template para FSMDs (recomenda-se simular para se ter certeza de que a codificação foi correta).
  - c) Baseado nos blocos de multiplexação, soma e comparação abaixo (e o uso de suas entradas/saídas), esboce o datapath do circuito;
  - d) Elabore o ASM correspondente da FSM (Moore), deixando explícito os sinais de controle nos estados correspondentes.

