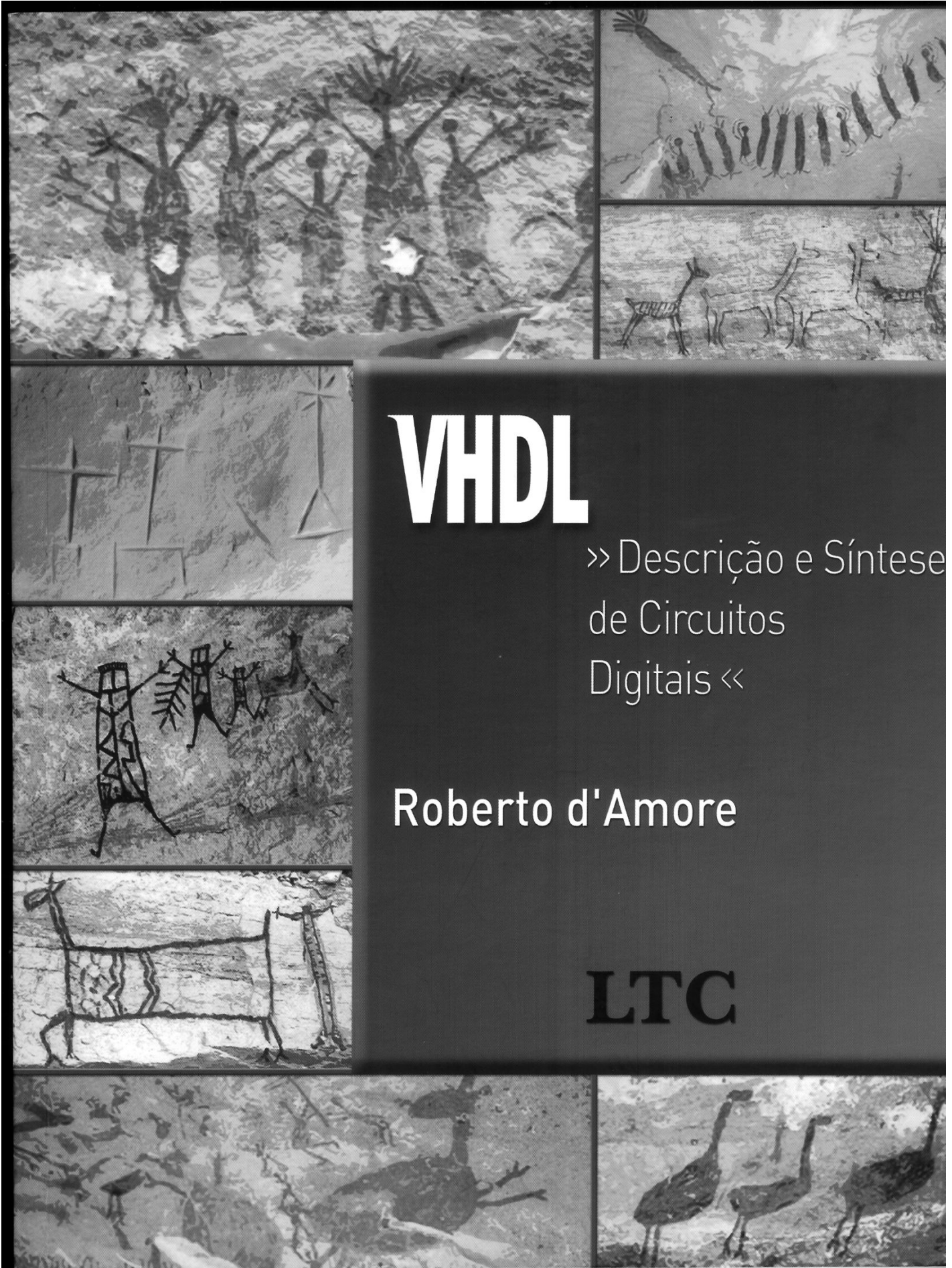


Lista de Exercícios – SEL0632

Capítulo 05



VHDL

» Descrição e Síntese
de Circuitos
Digitais «

Roberto d'Amore

LTC

5.5 Principais pontos abordados

- A modelagem de atraso é feita através da cláusula “ AFTER ”. A cláusula “ AFTER ” é ignorada pelas ferramentas de síntese. Ela encontra aplicação no teste de descrições, e modelagem do desempenho de circuitos sintetizados.
- Variável é um tipo de objeto que permite armazenar valores em regiões de código sequencial.
- Diferentemente de um sinal, uma variável recebe o valor após a execução do comando. Não existe o intervalo de tempo Δ para a atribuição de um novo valor.
- A transferência de valores armazenados em variáveis para regiões de código concorrente é feita através de sinais.
- Atributos são informações adicionais relacionadas a objetos, subprogramas, tipos, entre outros. Eles são referenciados na forma “ prefixo'nome_atributo ”. O resultado da referência pode ser um tipo, um valor, um sinal ou uma faixa.
- Apenas alguns atributos predefinidos são suportados pelas ferramentas de síntese. Uma aplicação importante de atributos para síntese é detecção de bordas de subida ou descida em sinais, na descrição de máquinas de estados e *flip flops*.

5.6 Exercícios

5.6.1 Analise a descrição do Quadro 5.6.1 e apresente a carta de tempo das interfaces de saída “ x0 ”, “ x1 ” e “ x2 ”. Comente uma possível aplicação para essa descrição.

```

1 ENTITY c04_e01 IS
2   PORT (x0, x1, x2 : BUFFER BOOLEAN);
3 END c04_e01;
4
5 ARCHITECTURE teste OF c04_e01 IS
6 BEGIN
7   x0 <= NOT x0 AFTER 100 ns;
8   x1 <= NOT x1 AFTER 100 ns WHEN x0 ELSE
9     x1 AFTER 100 ns;
10  x2 <= NOT x2 AFTER 200 ns WHEN x1 ELSE
11    x2 AFTER 200 ns;
12 END teste;
```

Quadro 5.6.1 Descrição do Exercício 5.6.1.

5.6.2 Apresente uma descrição para modelar o circuito proposto na Figura 5.6.1, considerando o atraso das portas lógicas. Esse circuito é empregado na geração de sinais de relógio sem sobreposição, isto é, nunca as saídas $\phi 1$ e $\phi 2$ podem estar em nível alto ao mesmo tempo. Suponha que todas as portas lógicas têm o mesmo atraso de propagação.

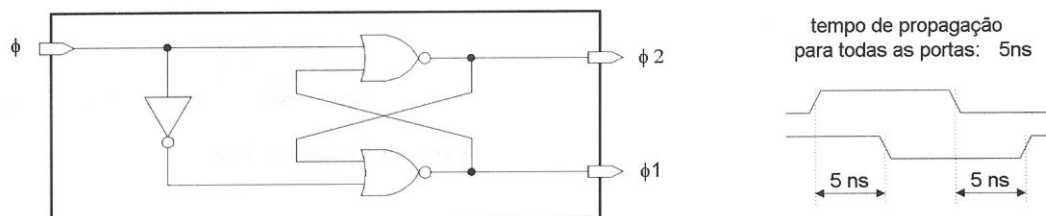


Figura 5.6.1 Exercício 5.6.2.

5.6.3 Apresente a sequência de iterações que ocorrem no processo “ sig ” da descrição apresentada no Quadro 5.6.2.

5.6.4 Apresente uma descrição completa para simulação simultânea dos dois processos apresentados no Quadro 5.6.2. Os sinais “ sx ” e “ vx ” devem ser duas portas de saídas da entidade. Apresente, também, a sequência de iterações que deve ocorrer nessa descrição, e o diagrama de tempos contendo os sinais “ sx ” e “ vx ”.

5.6.5 Mova o comando “WAIT” nos dois processos do Quadro 5.2.1 para uma linha logo após as palavras reservadas “BEGIN” dos processos. Analise a operação dessa nova entidade, e apresente o diagrama de tempos contendo os sinais “sx” e “vx”.

<pre> SIGNAL sa : BIT := '1'; SIGNAL sb, sc : BIT := '0'; sig: PROCESS BEGIN sb <= sa; sc <= sb; sa <= NOT sc; sx <= NOT sc; WAIT FOR 10 ns; END PROCESS sig; </pre>	<pre> var: PROCESS VARIABLE va : BIT := '1'; VARIABLE vb, vc : BIT := '0'; BEGIN vb := va; vc := vb; va := NOT vc; vx <= NOT vc; WAIT FOR 10 ns; END PROCESS var; </pre>
---	---

Quadro 5.6.2 Exercícios 5.6.3 e 5.6.4.

5.6.6 Na descrição do Quadro 5.6.3, o comando “IF” emprega o atributo referente a sinal “EVENT”. Complete a carta de tempos da Figura 5.6.2 com base na descrição proposta.

1	ENTITY c04_e03 IS
2	PORT (ck, d : IN BIT;
3	q1, q2 : OUT BIT);
4	END c04_e03;
5	
6	ARCHITECTURE teste OF c04_e03 IS
7	BEGIN
8	p_d1: PROCESS(ck)
9	BEGIN
10	IF ck'EVENT AND ck = '1' THEN q1 <= d;
11	END IF;
12	END PROCESS;
13	
14	p_d2: PROCESS(ck)
15	BEGIN
16	IF ck'EVENT AND ck = '0' THEN q2 <= d;
17	END IF;
18	END PROCESS;
19	END teste;

Quadro 5.6.3 Descrição para o Exercício 5.6.6.

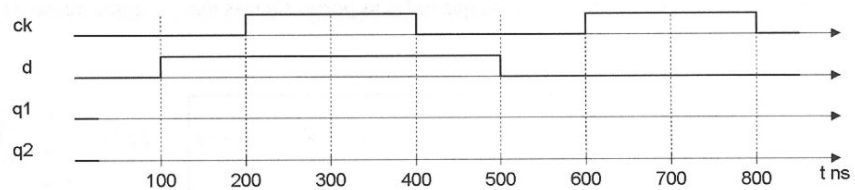


Figura 5.6.2 Exercício 5.6.6.

5.6.7 Proponha uma descrição que tenha o mesmo comportamento do código proposto no Quadro 5.6.3 empregando o comando “WAIT”.

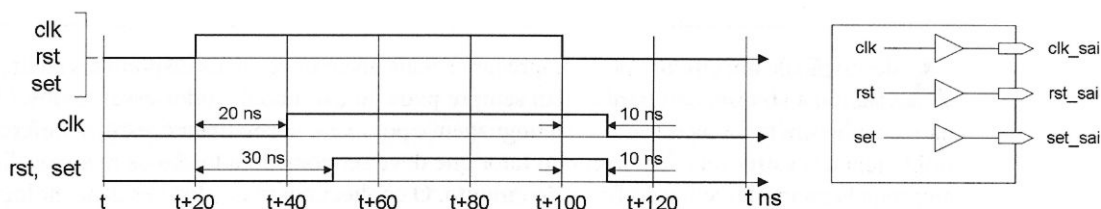
5.6.8 Altere a descrição proposta no Quadro 5.6.3, sem mudar o seu comportamento, de modo a empregar o atributo “STABLE”.

5.6.9 Dados dois subtipos inteiros, um ascendente restrito à faixa “-10 TO +15”, e outro descendente restrito à faixa “+25 DOWNT0 -20”. Determine o resultado das operações de referência aos atributos relacionados na Tabela 5.6.1 nesses dois subtipos. Apresente, também, uma descrição para teste.

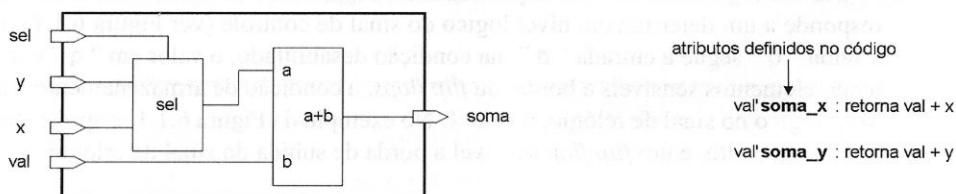
Tabela 5.6.1 Exercício 5.6.9.

HIGH	LOW	SUCC(7)	PRED(7)	RIGHT	LEFT	RIGHTOF(7)	LEFTOF(7)	VAL(7)	POS(7)
------	-----	---------	---------	-------	------	------------	-----------	--------	--------

5.6.10 Apresente um código que descreva o comportamento apresentado na Figura 5.6.3, com relação ao tempo de propagação de valores. Defina atributos para modelar os diferentes tempos de propagação. Os atributos devem estar associados aos sinais “clk_sai”, “rst_sai” e “set_sai”.

**Figura 5.6.3** Comportamento da descrição do Exercício 5.6.10.

5.6.11 Dado o diagrama de blocos da Figura 5.6.4, apresente um código que descreva o comportamento ilustrado. Dois atributos devem ser definidos para o sinal “val”. O atributo “soma_x” retorna com o valor de “val” adicionado ao valor de “x”, e o atributo “soma_y” retorna com o valor de “val” somado ao valor de “y”. A entrada “sel” realiza uma operação de seleção, de modo a selecionar qual valor adicionado a “val” é apresentado na saída “soma”. Para facilitar a descrição empregue o tipo “INTEGER” nos sinais.

**Figura 5.6.4** Comportamento da descrição do Exercício 5.6.11.

5.6.12 Sintetize a descrição proposta para o Exercício 5.6.11 e verifique o resultado.