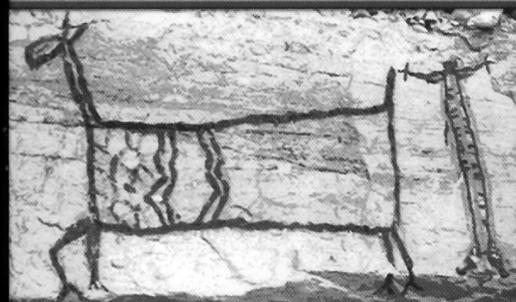
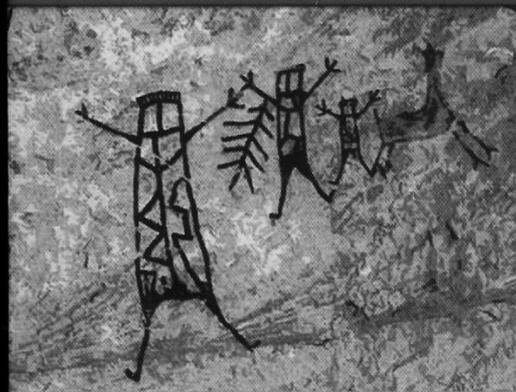
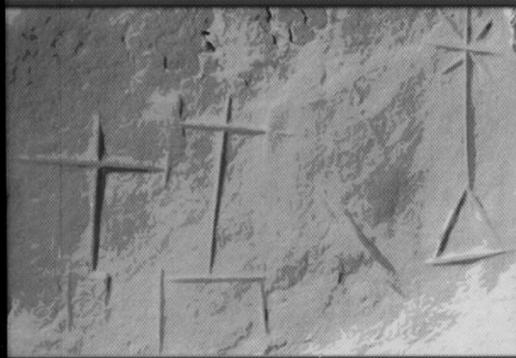


Lista de Exercícios – SEL0632

Capítulo 12



VHDL

» Descrição e Síntese
de Circuitos
Digitais «

Roberto d'Amore

LTC

- Pseudônimo, ou *alias*, na versão VHDL-1987, é uma designação adicional para um objeto. Na versão VHDL-1993, o escopo de um pseudônimo é ampliado para um nome alternativo para um item nomeado.
- Descrições contendo uma memória devem considerar a tecnologia escolhida. Essas unidades podem ter um grande impacto no custo final, seja em área ou elementos disponíveis, conforme o dispositivo empregado.

12.10 Exercícios

12.10.1 Apresente o código para a síntese de uma memória “RAM” com uma palavra de 4 bits e 16 posições de endereço. O terminal “wr” define se a operação é de leitura ou escrita, e o terminal “ce” habilita a unidade. A Figura 12.10.1 ilustra a operação da memória. A escrita de um dado ocorre na borda de subida de “ce” como “wr” em nível baixo. A leitura de um dado é executada na condição “ce=0” e “wr=1”; para todas as outras condições, as linhas de dados devem permanecer no estado de alta impedância.

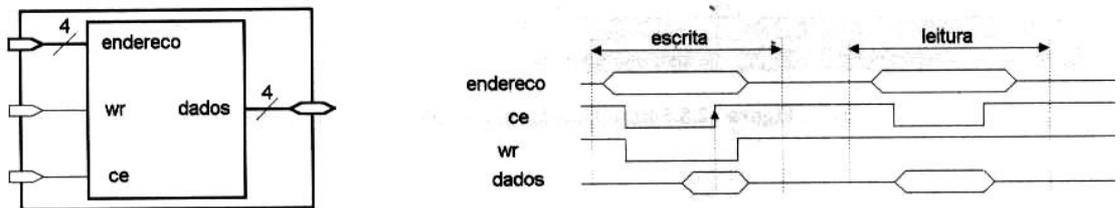


Figura 12.10.1 Operação da memória “RAM” proposta para o Exercício 12.10.1.

12.10.2 Sintetize a descrição do Exercício 12.10.1 em uma FPGA que contenha unidades de memória RAM, e verifique se o código foi inferido corretamente pela ferramenta de síntese.

12.10.3 Apresente o código para descrição de uma memória “RAM” operacionalmente similar à memória proposta no Exercício 12.10.1. Na entidade proposta, entretanto, não deve ser fixado o número de bits para os sinais de endereço e dados; essas informações devem ser deixadas em aberto. A definição desses parâmetros é estabelecida pela entidade que solicitar esse componente. Desse modo, a entidade “RAM” proposta pode ser empregada por mais de uma entidade em diferentes configurações. Para o teste da descrição proposta, crie uma entidade que empregue a memória “RAM” como um componente. Na Figura 12.10.2 é ilustrado o problema solicitado.

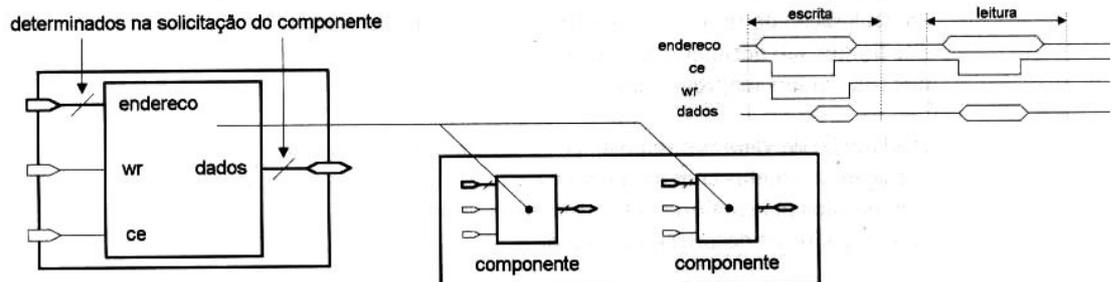


Figura 12.10.2 Memória “RAM” empregada como componente.

12.10.4 Sintetize a descrição do Exercício 12.10.3 em uma FPGA que contenha unidades de memória RAM, e verifique se o código foi inferido corretamente pela ferramenta de síntese.

12.10.5 A descrição de uma memória ROM pode ser realizada, também, com construções “CASE WHEN”. Proponha a descrição de uma memória ROM contendo dezesseis endereços e oito bits de dados, empregando uma construção “CASE WHEN”. As informações armazenadas podem ser quaisquer, e a saída é controlada pelo sinal “ce”. Com esse sinal em nível alto, a saída da memória permanece em estado de alta impedância; em nível baixo, a saída é habilitada.

12.10.6 Apresente um código que realize a função de um relógio com as unidades de hora, minuto e segundo. A contagem é realizada por meio de um sinal do tipo registro, sendo o tipo composto dos seguintes elementos: “ hora ”, “ minuto ” e “ segundo ”. O código deve incrementar um objeto declarado conforme esse tipo, de modo a implementar as operações de um relógio. Note que a descrição não necessita ser sintetizável.

12.10.7 Apresente o código para o teste da memória “ RAM ” descrita no Quadro 12.8.4 na forma de um componente. Declare um tipo “ RECORD ” agrupando os sinais “ dado_entrada ”, “ endereco ”, “ we ” e “ ce ” para a aplicação dos estímulos de teste. A descrição deve conter uma seqüência de estímulos que verifique uma operação de escrita na memória.

12.10.8 Altere o código proposto no Quadro 12.7.2, substituindo cada subprograma por uma entidade. Nessa nova proposta, cada entidade que substitui um subprograma é solicitada na forma de componente por uma outra entidade. Empregue um pseudônimo para cada componente solicitado.

12.10.9 No código proposto no Quadro 12.10.1, é declarado um vetor de três dimensões denominado “ vetor3_dm ”. Esse vetor é um vetor multidimensional de duas dimensões composto de elementos do tipo “ BIT_VECTOR ”. As expressões de transferências de valores, colocadas na forma de comentário nas linhas 11, 13, 15, 17 e 19, são coerentes para um vetor composto de elementos do tipo vetor (ver Quadro 12.5.6). Proponha expressões equivalentes, de modo a adequar a nova declaração do vetor.

```

1 ENTITY teste_g1 IS
2 END teste_g1;
3
4 ARCHITECTURE teste OF teste_g1 IS
5     TYPE vetor_2d IS ARRAY (0 TO 7) OF BIT_VECTOR(3 DOWNTO 0);
6     TYPE vetor_3dm IS ARRAY (0 TO 2, 0 TO 7) OF BIT_VECTOR(3 DOWNTO 0);
7     CONSTANT c_2d: vetor_2d := (0 TO 2 => ('0','0','0','0'), OTHERS => ('1','0','1','1'));
8     SIGNAL s_3d, t_3d: vetor_3dm;
9
10 BEGIN
11     --s_3d(2)(7)(3) <= c_2d(7)(1); -- 1 elemento
12
13     --s_3d(0)(1)(2 DOWNTO 0) <= c_2d(3)(3 DOWNTO 1); -- faixa
14
15     --s_3d(1)(2 TO 3) <= c_2d(5 TO 6); -- faixa
16
17     --t_3d(2) <= c_2d; -- faixa
18
19     --t_3d(0 TO 1) <= c_2d & c_2d; -- faixa
20
21 END teste;

```

Quadro 12.10.1 Código para o Exercício 12.10.9.