**SSC0117 – INTRODUÇÃO À LÓGICA DIGITAL – 1º Semestre/2017**

**Turma 2**

Prof.: Eduardo Marques ([edumarques@usp.br](file:///C:\Users\thade\Downloads\edumarques@usp.br))

Estagiário PAE: Thadeu A.F. Melo ( [thadeu.costa@usp.br](mailto:thadeu.costa@usp.br) )

**Horário de atendimento aos alunos:** 4ª feira, das 18:30 às 20:30hs

**1. Objetivo**

Introduzir ao aluno conceitos básicos de eletrônica e Lógica Digital, técnicas de projeto de subsistemas digitais com ênfase em circuitos combinacionais.

**2. Conteúdo**

Circuitos combinacionais, funções lógicas, circuitos lógicos, simplificação algébrica, formas normais disjuntivas e conjuntivas, mapas de Karnaugh, decodificadores, representação numérica, circuitos somadores, subtratores e multiplicadores, multiplex e demultiplex.

**3. Diretriz de avaliação definida no Júpiter**

**Método:** Aulas expositivas e de resolução de exercícios.

**Critério:** Média das notas das provas.

**Norma de Recuperação**

Critério de Aprovação: NP+(Mrec/2,5), se Mrec >= 7,5; ou Max {NP,Mrec}, se Mrec <= 5,0;

ou 5,0, se 5,0 <= Mrec < 7,5.

sendo:

NP = Nota final média das provas.

Mrec = média da recuperação (nota final da prova/trabalho de recuperação).

**4. Critério de avaliação**

2 Provas.

**5. Cronograma das aulas**

|  |  |
| --- | --- |
| **Data** | **Conteúdo** |
| **14/ 03 /2017** | Apresentação do curso e Introdução aos circuitos lógicos – Sinais analógicos e digitais; Eletrônica básica; Aplicações; |
| **21/ 03 /2017** | Bases numéricas; Representação binária complemento de 2; |
| **28/ 03 /2017** | Funções Lógicas – AND, OR, etc...; Tabela verdade |
| **04/ 04 /2017** | Funções Lógicas – Simplificação; Formas normais (SOP, POS) |
| **11/ 04 /2017** | **NÃO haverá aula (Semana Santa)** |
| **18/ 04 /2017** | Mintermos e Maxtermos; Mapas de Karnaugh |
| **25/ 04 /2017** | Otimização de funções lógicas |
| **02/ 05 /2017** | Exercícios – Revisão para Prova |
| **09/ 05 /2017** | **Prova 1** |
| **16/ 05 /2017** | Circuitos aritméticos – Somadores e Subtratores |
| **23/ 05 /2017** | Circuitos aritméticos – Multiplicadores; |
| **30/ 05 /2017** | Multiplexadores; Demultiplexadores; |
| **06/ 06 /2017** | Decodificadores |
| **13/ 06 /2017** | Otimização de circuitos; Caminho Critico; |
| **20/ 06 /2017** | Blocos de construção de circuitos combinacionais |
| **27/ 06 /2017** | Exercícios – Revisão para a Prova |
| **04/ 07 /2017** | **Prova 2** |

**6. Bibliografia**

Texto:

[1] BROWN, S.; VRANESIC, Z. Fundamentals of Digital Logic with VHDL Design, McGraw Hill, 2005

[2] BROWN, S.; VRANESIC, Z. Fundamentals of Digital Logic with Verilog Design, McGraw Hill, 2005

[3] IDOETA, I.V.; CAPUANO, F.G. Elementos de Eletrônica Digital, Livros Érica, 2007

**Complementar:**

[2] Van Den Bout, David E.; The practical Xilinx designer lab book :version 1.5, Prentice Hall,1999.

[3] Stewart, J. W., Wang, Chao-Ying.; Digital electronics laboratory experiments: using the Xilinx XC95108 CPLD with Xilinx foundation design and simulation software, Prentice Hall, 2001.

[4] Hamblen, J. O.; Furman, M. D. Rapid Prototyping of Digital Systems, 2st Edition, Kluwer, 2001.

[5] Hamacher, C; Vranesic, Z.; Zaky, S., Computer Organization, 5th Edition, McGraw-Hill, 2002.

[6] Coffman, Ken; Real world FPGA design with Verilog, Prentice Hall, 2000.

[7] Wakerly, J. F. Digital Design: Principles & Practices, 3 Edition, 2000.

[8] Xilinx, The Practical Xilinx Designer Lab Book, Prentice Hall, 1999

[9] Mano, M. M. Logic and Computer Design Fundamentals, 2000.

[10] MANO, M.M. Computer System Architecture, Prentice-Hall, 1993.

[11] TAUB, H.; SCHILLING, D. Eletrônica Digital, McGraw-Hill do Brasil, 1982.

[12] FREGNI, E.; SARAIVA, G.R. Engenharia do Projeto Lógico Digital, São Paulo, Editora Edgard Blucher, 1995.   
[13] CHAN, P.K.; MOURAD, S.  Digital Design Using Field Programmable Gate Arrays. Prentice Hall, 1994.   
[14] IDOETA,I.V.; CAPUANO, F.G.   Elementos de Eletrônica Digital, 12 ed., São Paulo, Livros Érica, Livros, 1987.   
[15] KATZ, R.H. Logic Design , Benjamin Cummings, 1994.

[16] Brown, Stephen D.; Field-programmable gate arrays; Kluwer Academic Publishers, 1992.

[17] KATZ, R.H. Contemporary logic design; Addison Wesley/Longman, 2000.

[18] Tocci, R. J.; Widmer, N. S., Sistemas Digitais – Principios e Aplicações, 8 ed., Prentice Hall, 2003.

[19] Oldfield, J. V.; Dorf, R. C., Field-Programmable Gate Arrays, Wiley Interscience, 1995.

[20] Xilinx Data Book, 2011.