

PSI-3451 Projeto de CI Lógicos Integrados

Aula 3- Conceitos relacionados aos circuitos modelados em VHDL

Esta prática apresentará 2 módulos com lógica sequencial que farão parte do projeto *Snake*, mas que, para esta sessão, sofreram alguma modificações:

- um contador (*step_counter*)
- uma típica máquina de estados finitos (*fsm_main*)

Há dois objetivos principais para esta sessão:

- aprofundar o conhecimento sobre a sintaxe da linguagem VHDL, particularmente, sobre atributos, bibliotecas IEEE e o uso de *generics*.

- praticar as formas tradicionais de codificação VHDL para circuitos sequenciais, com ênfase nas máquinas de estados finitos (FSMs).

Como auxílio na revisão de alguns aspectos teóricos de circuitos sequenciais e FSMs, o(a) aluno(a) poderá consultar os slides da aula 3, assim como o livro de Pong Chu (seção 5.21 e capítulo 6).

A fim de realizar simulações e exercitar uma variedade de comandos da linguagem VHDL, são fornecidos dois arquivos, um para cada modelo citado, ambos no modelo comportamental (baseado em processos). Cada modelo será modificado pelos alunos durante a aula, gerando outras alternativas de se modelar o comportamento de circuitos sequenciais em VHDL. No total serão testados (simulados) 4 modelos VHDL.

A seguir apresentamos uma breve descrição funcional de cada módulo.

• Contador Rotativo

O circuito apresentado no arquivo *step_counter_1.vhd* corresponde a um contador de 0 a um valor COUNT_MAX (tipo *positive*), este dado como um parâmetro *generic*. Após atingir o valor máximo, a contagem recomeça no valor 0. A única diferença para o módulo original dos Snake é a introdução do porto de saída *count_value* para acompanhamento do valor de contagem.

Os sinais de entrada e saída são apresentados na Figura 1. A partir de um reset (*res=0*), o contador dispara e, após atingir COUNT_MAX, um pulso é apresentado no sinal *cnt_rdy*; nos demais momentos, o sinal tem valor 0. Para esta prática, um sinal de saída extra (que não existe no projeto original Snake), *cnt_value* (tipo *std_logic_vector*), foi adicionado para se poder acompanhar o valor crescente de contagem.

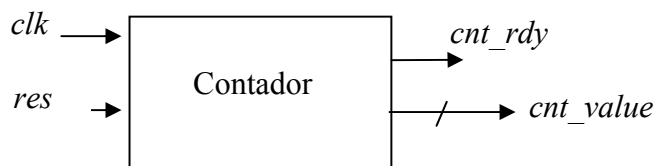


Figura 1. O módulo contador

- **Máquina de Estados Main**

A FSM Main é a máquina de estados, do tipo Moore, responsável pela organização geral das ações do Snake, sendo a coordenadora de outras três FSMs (consultar o documento do projeto Snake). Para esta prática modificamos a máquina original do Snake, reduzindo ligeiramente a sua complexidade ao eliminar um de seus estados existentes, a saber o estado IDLE. O arquivo *fsm_main_1.vhd*, fornecido ao(à) aluno(a), contém a descrição da FSM da Figura 2.

O circuito contém 8 entradas e 4 saídas. Destes sinais, *cnt_rdy* e *fsm_s_done* constam do projeto Snake original e foram mantidos, apesar de que nesta versão do módulo FSM Main, eles não apresentam nenhuma função no código, i.e., não estão presentes na arquitetura. Todos os sinais de entrada, exceto o *res* (reset) e o *clk*, são flags que determinam as transições dos estados. Todas as saídas são também flags, exceto por *con_sel* que é um sinal de seleção de um mux 3x 1.

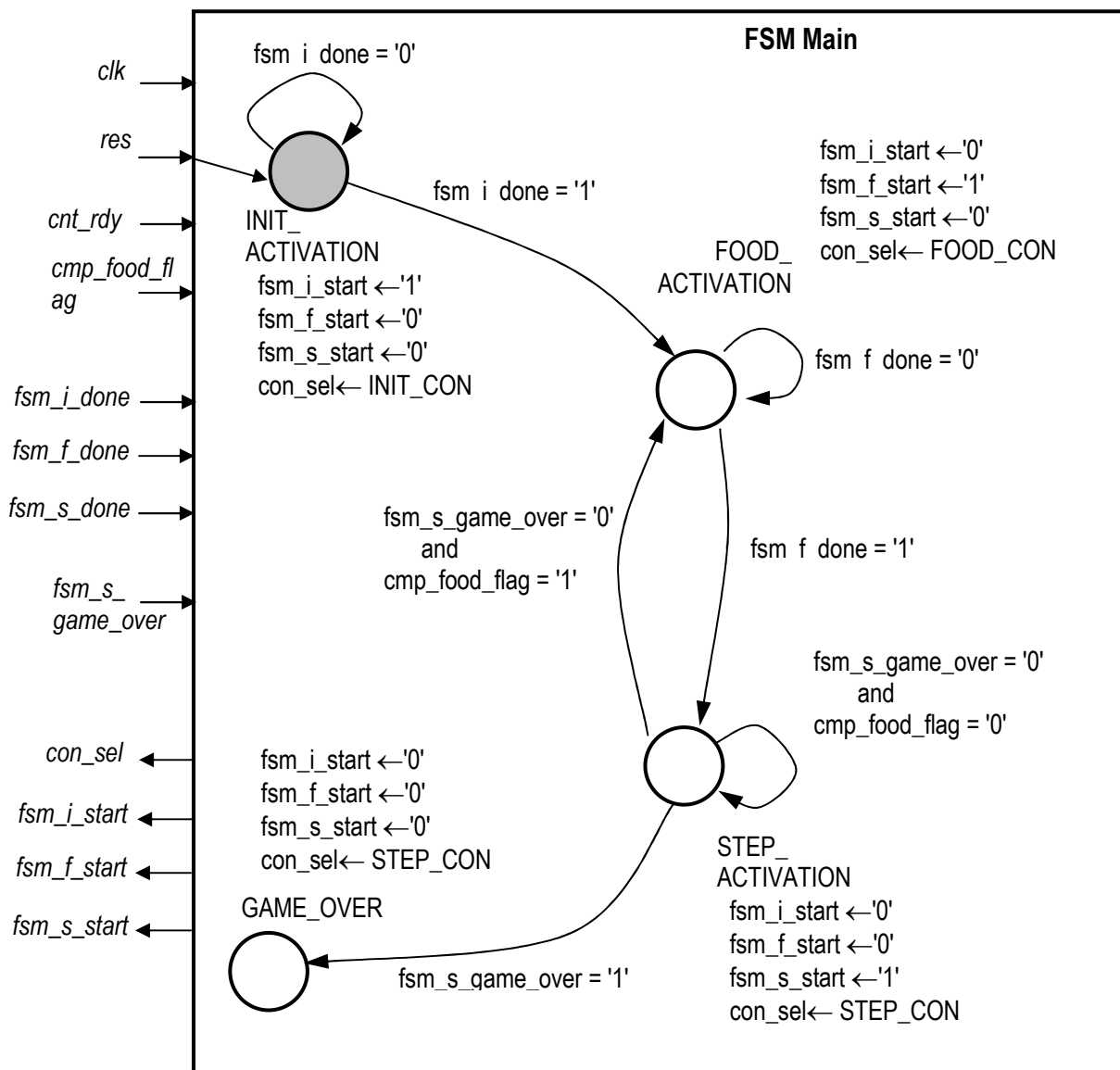


Figura 2. Diagrama de Estados do FSM Main modificado