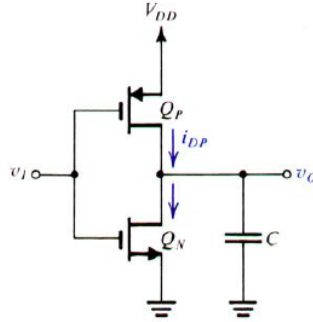


PSI3024 – Eletrônica
Terceira Lista Adicional Preparatória – 2016
GABARITO

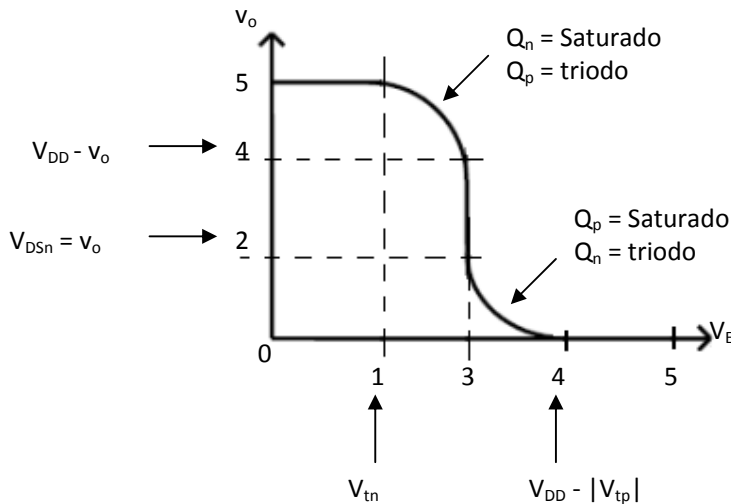
1) Dado o Inversor CMOS conforme indicado na figura abaixo e sabendo-se que $k_p' = 100\mu\text{A}/\text{V}^2$, $k_n' = 200\mu\text{A}/\text{V}^2$, $(W/L)_p = 8$, $(W/L)_n = 1$, $\lambda = 0$, $V_{DD} = 5\text{V}$, e $|V_{tp}| = |V_{tn}| = 1\text{V}$:



$$I_D = k_n' \cdot \frac{W}{L} \left[(V_{GS} - V_t) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad \text{para } |V_{DS}| < |V_{GS} - V_t|$$

$$I_D = \frac{k_n'}{2} \cdot \frac{W}{L} (V_{GS} - V_t)^2 (1 + \lambda V_{DS}) \quad \text{para } |V_{DS}| \geq |V_{GS} - V_t|$$

Na curva de transferência:



$$\begin{aligned} |v_{DSp}| &= |v_{GSp} - V_{tp}| \\ V_{DD} - v_o &= V_{DD} - V_E - |V_{tp}| \\ v_o &= V_E + |V_{tp}| = 3 + 1 = 4\text{V} \end{aligned}$$

$$V_{DSn} = v_o = v_{GSn} - V_{tn}$$

a) Determine a tensão de entrada v_E para a qual ocorre a transição abrupta da tensão de saída v_o na curva de transferência $v_o \times v_E$ e esboce esta mesma curva de transferência indicando as coordenadas de todos os pontos notáveis.

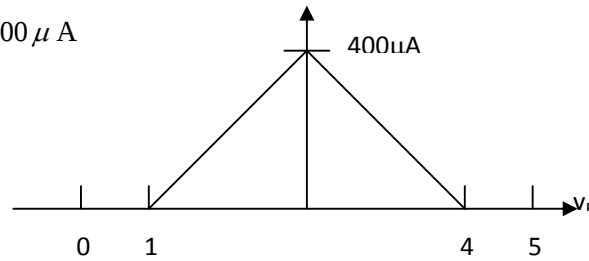
$L_n = L_p$

$$\begin{aligned} \frac{1}{2} 100 \cdot 10^{-6} \cdot 8 \cdot (v_E - 5 - (-1))^2 &= \frac{1}{2} 200 \cdot 10^{-6} \cdot 1 \cdot (v_E - 1)^2 &\Rightarrow & 4 \cdot (v_E - 4)^2 = (v_E - 1)^2 \\ 4(16 - 8v_E + v_E^2)^2 &= v_E^2 - 2v_E + 1 &\Rightarrow & 64 - 32v_E + 4v_E^2 = v_E^2 - 2v_E + 1 \\ 3v_E^2 - 30v_E + 63 &= 0 &v_E &= \frac{30 \pm \sqrt{900 - 756}}{6} \begin{cases} v_E = 3\text{V} \\ v_E = 7\text{V} \end{cases} \end{aligned}$$

Para transição abrupta $v_E = 3\text{V}$.

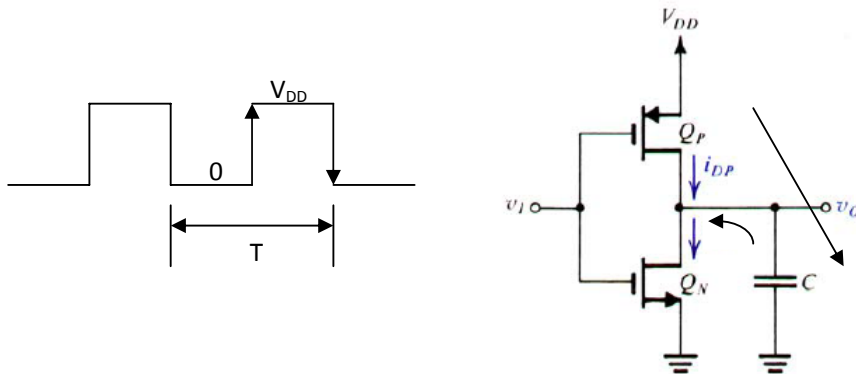
b) Determine a corrente máxima $i_{D\text{max}}$ que passa através dos transistores pMOS e nMOS na transição de nível lógico e esboce o gráfico $i_D \times v_E$ indicando também todos os pontos notáveis.

$$i_{D\text{MAX}} = \frac{1}{2} \cdot 200 \cdot 10^{-6} \cdot (3-1)^2 = 400 \mu\text{A}$$



c) Supondo que a capacitância C_S indicada na figura modele o efeito de todas as capacitâncias conectadas no nó de saída e admitindo que uma onda quadrada entre 0 e V_{DD} seja aplicada na entrada, deduza a expressão da potência dinâmica consumida pelo inversor CMOS. (Dica: A energia armazenada no capacitor em cada transição é igual a $C_S V^2/2$).

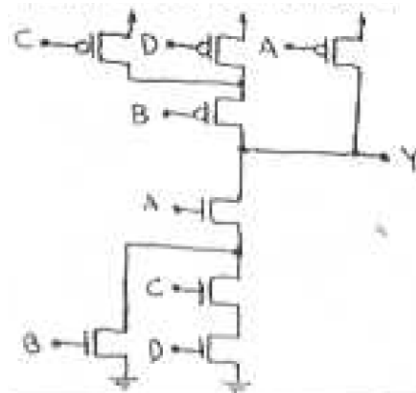
$$P_D = 2 \cdot \frac{1}{2} \cdot C_S \cdot f \cdot V_{DD}^2 = C_S \cdot f \cdot V_{DD}^2$$



$$E = \frac{CV^2}{2}$$

$$P_D = \left(\frac{C_L \cdot V_{DD}^2}{2} \right) \cdot 2 \cdot \frac{1}{T} \Rightarrow P_D = C_L \cdot V_{DD}^2 \cdot f$$

2) Esboce o circuito CMOS que realize a função $Y = \overline{A(B + CD)}$



3) Considere a porta lógica CMOS mostrada na figura 1. Especifique W/L para todos os transistores em termos das razões n e p do inversor básico de tal forma que t_{PHL} e t_{PLH} da porta para o pior caso sejam iguais aos do inversor básico.

Para que t_{PHL} e t_{PLH} da porta sejam iguais aos do inversor básico, para o pior caso, devemos ter:

$$P_A = P_B = P_C = P_D = 2P_i$$

$$n_A = n_B = 2n; n_C = n_D = 2(2n) = 4n$$

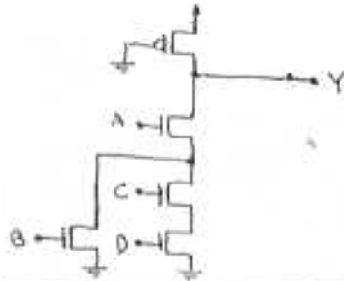
4) Projete um inversor pseudo-NMOS que tenha $V_{OL} = 0,1 \text{ V}$. Sejam $V_{DD} = 2,5 \text{ V}$, $|V_t| = 0,4 \text{ V}$, $k'_n = 4k'_p = 120 \mu\text{A/V}^2$ e $(W/L)_n = 0,375 \mu\text{m}/0,25 \mu\text{m}$. Qual o valor de $(W/L)_p$? Calcule a dissipação de potência estática.

$$\frac{1}{2} 30 \cdot 10^{-6} \cdot \left(\frac{W}{L}\right)_p (-5 - (-0,4))^2 = 120 \cdot 10^{-6} \cdot \left(\frac{0,375}{0,25}\right) \cdot \left[(5 - 0,4)0,1 - \frac{0,1^2}{2}\right] \Rightarrow \left(\frac{W}{L}\right)_p = 25,8$$

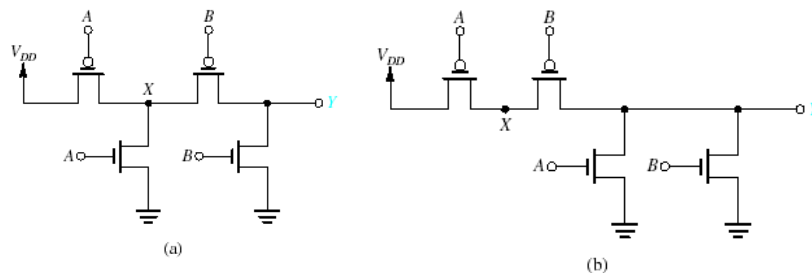
$$I_D = \frac{1}{2} 30 \cdot 10^{-6} \cdot \left(\frac{W}{L}\right)_p (-5 - (-0,4))^2 = 120 \cdot 10^{-6} \cdot \left(\frac{0,375}{0,25}\right) \cdot \left[(5 - 0,4)0,1 - \frac{0,1^2}{2}\right] = 81,9 \mu\text{A}$$

$$P_{estatica} = V_{DD} I_D = 2,5 \times 81,9 \mu\text{A} = 0,205 \text{ mW}$$

5) Esboce o circuito pseudo-NMOS que realize a função $Y = \overline{A(B + CD)}$



6) Considere os circuitos da Figura 2 com todos os transistores PMOS substituídos por NMOS, e todos os NMOS por PMOS, e com as ligações do terra e V_{DD} invertidos. Quais serão as funções nas saídas Y?

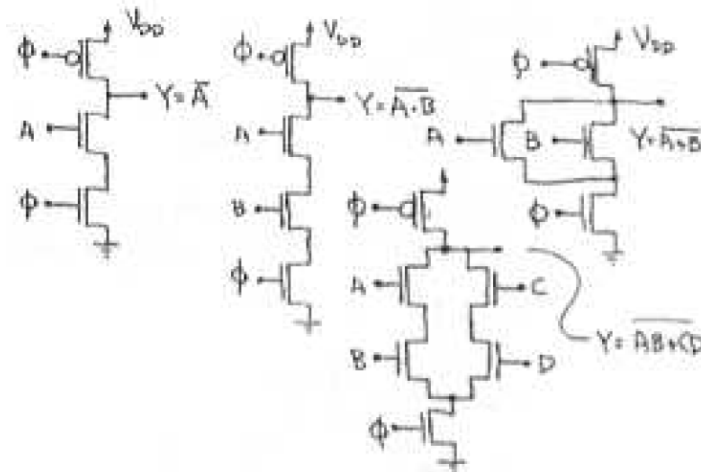


Fazendo os reversos no circuito da figura 2a, como indicado no enunciado, a saída passa a estar em nível alto quando B está em nível baixo ou quando A está em nível baixo. Nesse caso, teremos um circuito NAND:

$$Y = \overline{A + B} = \overline{AB}$$

Por outro lado, fazendo os reversos no circuito da figura 2b, como indicado no enunciado, temos idealmente uma porta NAND, antes e depois.

7) Esboce os circuitos completos para as portas INVERSORA, NE e NOU, com as duas últimas possuindo duas entradas, e um circuito para $\overline{Y} = AB + CD$.



At $V_Y = 0.3V$, $i_{Dp} = K_2 (75/3) (2.4/0.8) (3.0 - 0.8)^2 = 181.5 \mu A$

At $V_Y = 2.7V$, $i_{Dp} = (75/3) (2.4/0.8) [(3.0 - 0.8) 0.3 - 0.3^2/2] = 46.1 \mu A$

Thus $i_{D_{av}} = (181.5 + 46.1)/2 = 114 \mu A$

and $t_{rLH} = t_r = 15 \times 10^{-15} (2.7 - 0.3)/(114 \times 10^{-6}) = 216 ps$

Veja itens 11.4 e 11.5 do livro.

Para 16 blocos, 4 bits para endereçamento de bloco são necessários ($2^4 = 16$). Portanto, cada bloco terá 16 Mb de tamanho. Considerando a arquitetura quadrada vista em aula, cada bloco terá 4096 linhas e 4096 colunas. São necessários 12 bits para endereçamento de linha ($2^{12} = 4096$) e 12 bits para endereçamento de coluna. No total temos $2 \times 12 + 4 = 28$ bits.

Figura 3

Pattern the solution after the approach used in the solution of Example 11.3 :

For the bit-line output to reach $0.9 V_{DD} = 2.7V$ from $V_{DD}/2 = 1.5V$ in $2ns$ for an initial bit-line signal of $0.1/2 = 0.05V$:

$$2.7 = 1.5 + 0.05 e^{2/\tau}$$

$$\text{whence } 2/\tau = \ln[(2.7-1.5)/0.05] = 3.178$$

$$\text{and } \tau = 2/3.178 = 0.629 \text{ ns}$$

$$\text{Thus } C/G_m = 0.629 \times 10^{-9} \text{ s, and } G_m = 1 \times 10^{-12} / (0.629 \times 10^{-9})$$

$$= 1.589 \text{ nS/V}$$

$$\text{For matched inverters, } g_{m_n} = g_{m_p} = G_m/2 = 1.589/2 = 0.795 \text{ nS/V}$$

$$\text{Now, } g_m = k'(W/L)(V_{GS} - V_t)$$

$$\text{and } 0.795 \times 10^{-3} = 100 \times 10^{-6} (W/L) [3.0/2 - 0.8]$$

$$\text{Thus } (W/L)_n = 0.795 \times 10^{-3} / (100 \times 10^{-6} / 0.7) = 11.36$$

Now, for devices assumed to have length $L = 1 \mu m$ (or, alternatively, for each micron of device length)

$$W_n = 11.36 \mu m \text{ and } W_p = 3(11.36) = 34.1 \mu m$$

Now, for a differential input signal of $0.2V$ (and $0.1V$ on each bit-line), the response time is t , where $2.7 = 1.5 + 0.1 e^{t/0.629}$,
whence $t = 0.629 \ln(2.7-1.5)/0.1 = 1.56 \text{ ns}$

12) Dada uma memória ROM com 8 palavras de 4 bits. Escreva 8 números binários $B_3B_2B_1B_0$ onde B_3 é o dígito mais significativo. Converta cada dígito do número 8543859 em número binário e programe cada um deles na memória ROM fazendo $8543859 = W_7W_6W_5W_4W_3W_2W_1$ onde W_1 é o algarismo menos significativo, W_2 é o segundo algarismo significativo e assim por diante.

Veja item 11.6 do livro.

13) Considere o circuito conversor DA da Figura 9.39 para os casos em que $N = 2, 4$ e 8 . Qual será a tolerância, expressa em $\pm x\%$, para os resistores escolhidos possuindo o limite do erro resultante na saída sendo equivalente a $\pm 1/2$ LSB (bit menos significativo)?

$$\text{Require error in MSB} \leq \frac{1}{2} \text{LSB}$$

$$\frac{V}{R} - \frac{V}{R(1 + \frac{x}{100})} \leq \frac{1}{2} \frac{V}{2^{14} R}$$

$$\frac{1 + \frac{x}{100} - 1}{1 + \frac{x}{100}} \leq \frac{1}{2^{14}} \quad \text{or} \quad \frac{x}{100} (2^{14} - 1) \leq 1$$

$$\Rightarrow x = \frac{1}{2^{14} - 1} \times 100$$

$$N=2 \quad x = \underline{\underline{33.3\%}}$$

$$N=4 \quad x = \underline{\underline{6.67\%}}$$

$$N=8 \quad x = \underline{\underline{0.39\%}}$$

14) Considere o conversor AD do tipo ilustrado na figura 9.44 que utiliza uma frequência de relógio (clock) de 1MHz e tem $V_{REF} = 10V$. Sabe-se que a sua tensão de entrada analógica varia na faixa de 0 a -10V. O intervalo de tempo fixo T_1 é empregado para o contador acumular uma contagem de 2^N . Qual o intervalo de tempo necessário para o conversor AD efetuar a conversão do valor de fundo de escala de -10V? Se nessa condição, o pico de tensão na saída for de 10V, qual a constante de tempo do integrador? Após envelhecimento do resistor R, ele aumenta de 2% e C diminui de 1%, nesse caso qual será o novo valor de pico da tensão na saída do integrador? A precisão de conversão muda?

$$T_C = \frac{1}{f_{clk}} = 1\mu s$$

$$T_1 = 2^{12} T_C = \underline{\underline{4.096ms}}$$

$$T = T_1 + T_2 = T_1 \left(1 + \frac{V_A}{V_{ref}}\right) \\ \Rightarrow 2T_1 = \underline{\underline{8.19ms}}$$

$$V_{peak} = 10 = \frac{V_A}{T} T_1$$

$$\Rightarrow T = \frac{V_A}{V_{peak}} T_1 = \underline{\underline{4.096ms}}$$

$\Delta R = -1\%$ and Causes a -1% change in V_{peak}

$$\Rightarrow V_{peak} = \underline{\underline{9.9V}}$$

No : Final count does not depend on T